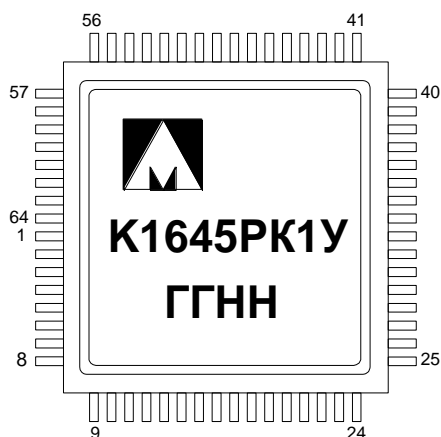




Микросхема двухпортового статического ОЗУ емкостью 256К (32Кх8) 1645PK1Y, K1645PK1Y, K1645PK1YK



Основные характеристики микросхемы:

- Емкость СОЗУ 256К (32К х 8) бит;
- Напряжение питания от 3,0 до 5,5 В;
- Время выборки данных по адресу и по сигналу nCE:
 - при $U_{CC} = (3,0 \div 4,5)$ В не более 60 нс;
 - при $U_{CC} = (4,5 \div 5,5)$ В не более 50 нс;
- Время выборки данных по сигналу nOE:
 - при $U_{CC} = (3,0 \div 4,5)$ В не более 45 нс;
 - при $U_{CC} = (4,5 \div 5,5)$ В не более 30 нс;
- Микросхема совместима с микросхемами ТТЛ и КМОП типа;
- Температурный диапазон:

ГГ – год выпуска

НН – неделя выпуска

Обозначение	Диапазон
1645PK1Y	минус 60 – 125 °С
K1645PK1Y	минус 60 – 125 °С
K1645PK1YK	0 – 70 °С

Тип корпуса:

- 64-выводной металлокерамический корпус 5134.64-6.

Общее описание и области применения микросхемы

Микросхема 1645PK1Y – двухпортовое статическое ОЗУ емкостью 256К (32Кх8), изготавливаемое по КМОП технологическому процессу. Микросхема имеет два универсальных асинхронных порта, обеспечивающих запись и считывание информации по каждому порту независимо друг от друга.

Интерфейс микросхемы позволяет увеличивать не только количество информационных слов, но и расширять шину данных до 16 бит и более, используя выбор режима "Мастер"/"Ведомый" для каскадного объединения двух и более устройств (подробнее см. в подразделе 6.4 и на рисунке 4).

При наличии на входе M/nS высокого логического уровня выбирается режим «Мастер». Выводы nBUSY в этом режиме функционируют как «Выходы».

При наличии на входе M/nS низкого логического уровня выбирается режим «Ведомый». Выводы nBUSY в этом режиме функционируют как «Входы».

Интерфейс микросхемы имеет флаги Занятости (nBUSY) и Прерывания (nINT) для каждого порта.

Микросхема содержит встроенные логику арбитража портов и семафорной сигнализации между портами.

1 Структурная блок-схема микросхемы

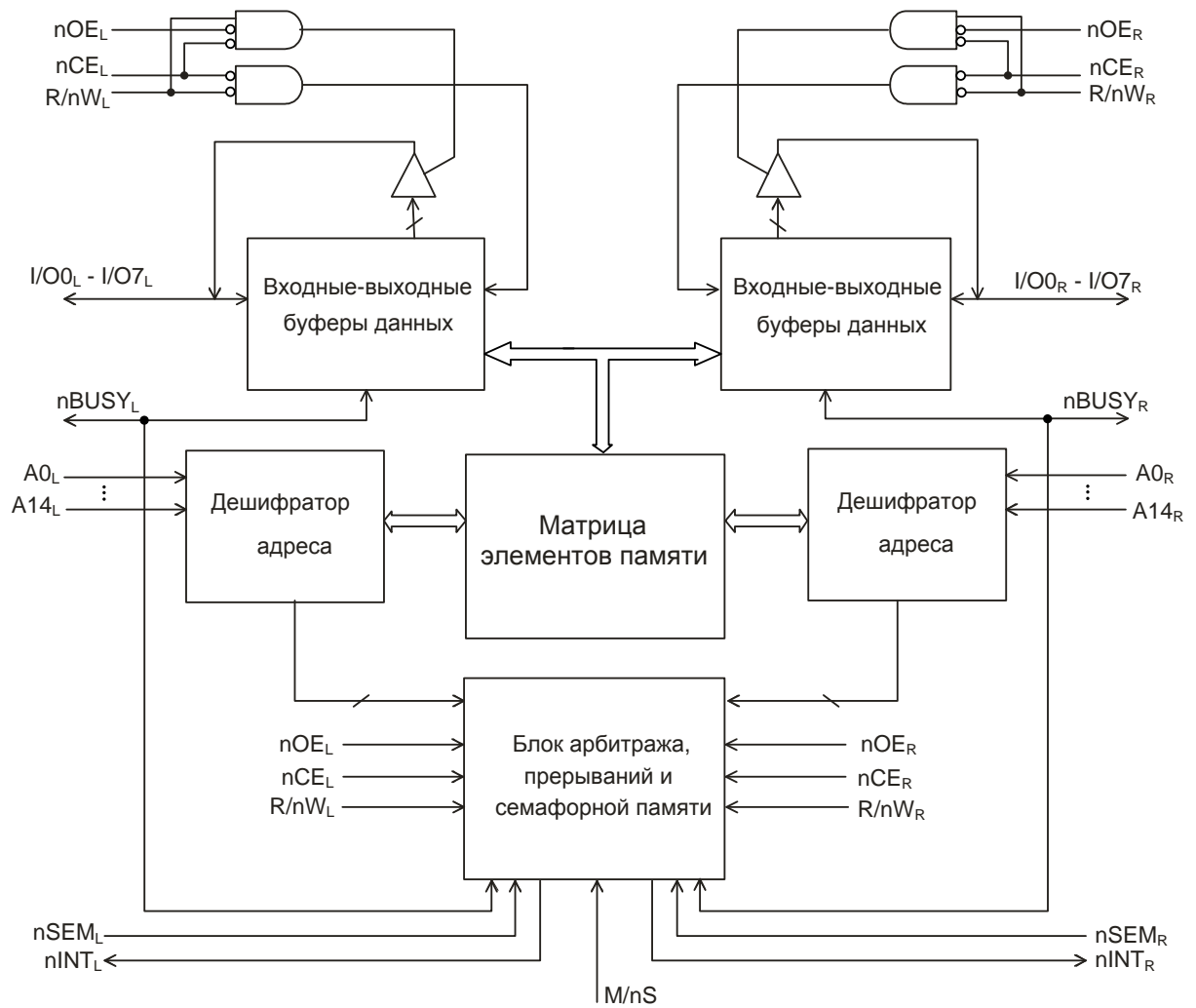


Рисунок 1 – Структурная блок-схема

2 Условное графическое обозначение

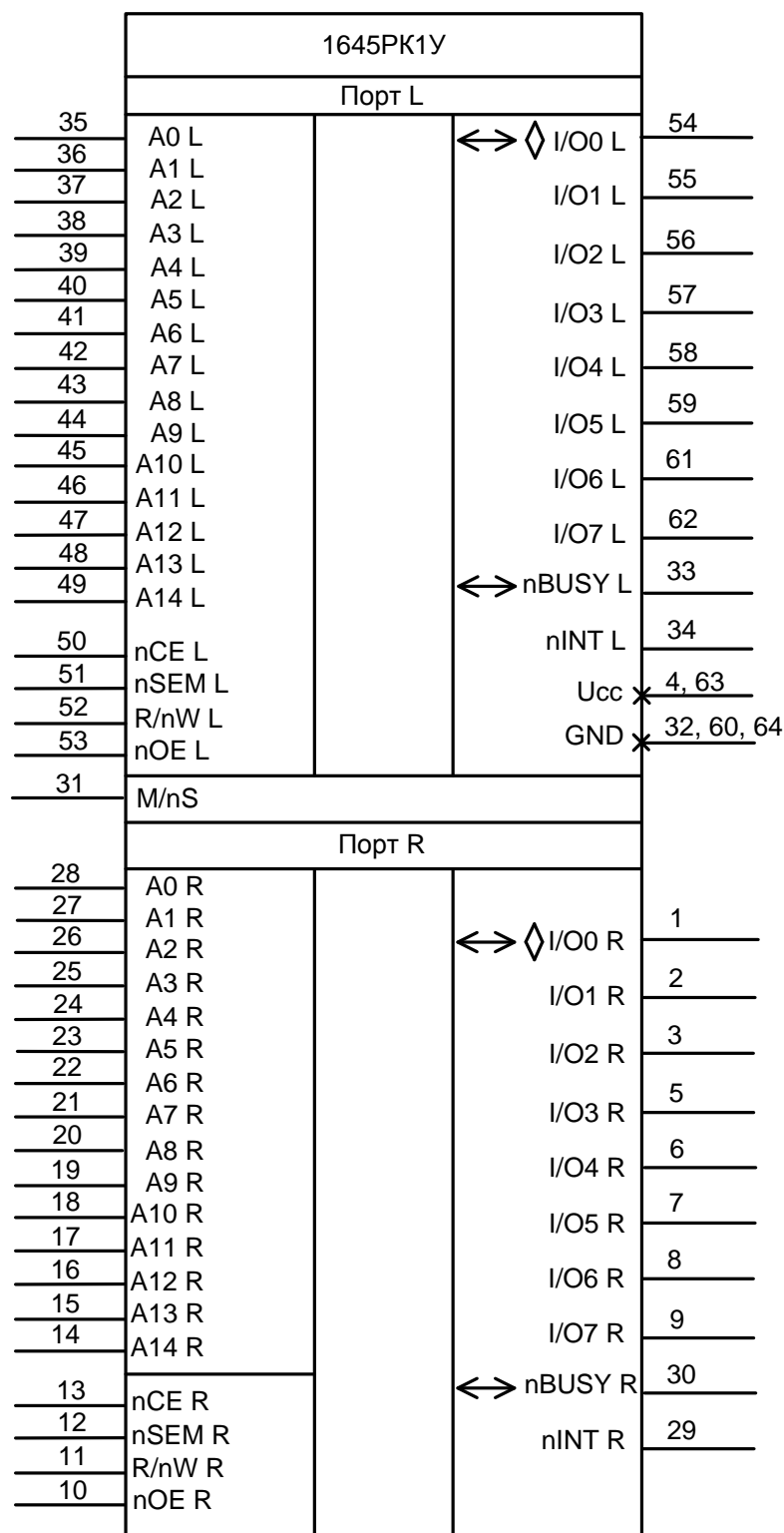


Рисунок 2 – Условное графическое обозначение

3 Описание выводов

Таблица 1 – Описание выводов микросхемы

№ вывода корпуса	Условное обозначение вывода	Функциональное назначение вывода
1	I/O0 _R	Вход/выход данных правого порта
2	I/O1 _R	Вход/выход данных правого порта
3	I/O2 _R	Вход/выход данных правого порта
4	U _{CC}	Питание
5	I/O3 _R	Вход/выход данных правого порта
6	I/O4 _R	Вход/выход данных правого порта
7	I/O5 _R	Вход/выход данных правого порта
8	I/O6 _R	Вход/выход данных правого порта
9	I/O7 _R	Вход/выход данных правого порта
10	nOE _R	Вход сигнала разрешения выхода данных правого порта
11	R/nW _R	Вход сигнала разрешения считывания/записи правого порта
12	nSEM _R	Вход сигнала выборки семафорной памяти правого порта
13	nCE _R	Вход сигнала разрешения выборки правого порта
14	A14 _R	Вход сигнала адреса правого порта
15	A13 _R	Вход сигнала адреса правого порта
16	A12 _R	Вход сигнала адреса правого порта
17	A11 _R	Вход сигнала адреса правого порта
18	A10 _R	Вход сигнала адреса правого порта
19	A9 _R	Вход сигнала адреса правого порта
20	A8 _R	Вход сигнала адреса правого порта
21	A7 _R	Вход сигнала адреса правого порта
22	A6 _R	Вход сигнала адреса правого порта
23	A5 _R	Вход сигнала адреса правого порта
24	A4 _R	Вход сигнала адреса правого порта
25	A3 _R	Вход сигнала адреса правого порта
26	A2 _R	Вход сигнала адреса правого порта
27	A1 _R	Вход сигнала адреса правого порта
28	A0 _R	Вход сигнала адреса правого порта
29	nINT _R	Выход сигнала прерывания INTERRUPT правого порта
30	nBUSY _R	Вход/выход сигнала занятости правого порта
31	M/nS	Вход сигнала выбора режима (Мастер/Ведомый)
32	GND	Общий
33	nBUSY _L	Вход/выход сигнала занятости левого порта
34	nINT _L	Выход сигнала прерывания INTERRUPT левого порта
35	A0 _L	Вход сигнала адреса левого порта
36	A1 _L	Вход сигнала адреса левого порта
37	A2 _L	Вход сигнала адреса левого порта
38	A3 _L	Вход сигнала адреса левого порта
39	A4 _L	Вход сигнала адреса левого порта
40	A5 _L	Вход сигнала адреса левого порта
41	A6 _L	Вход сигнала адреса левого порта
42	A7 _L	Вход сигнала адреса левого порта
43	A8 _L	Вход сигнала адреса левого порта
44	A9 _L	Вход сигнала адреса левого порта

№ вывода корпуса	Условное обозначение вывода	Функциональное назначение вывода
45	A10 _L	Вход сигнала адреса левого порта
46	A11 _L	Вход сигнала адреса левого порта
47	A12 _L	Вход сигнала адреса левого порта
48	A13 _L	Вход сигнала адреса левого порта
49	A14 _L	Вход сигнала адреса левого порта
50	nCE _L	Вход сигнала разрешения выборки левого порта
51	nSEML	Вход сигнала выборки семафорной памяти левого порта
52	R/nW _L	Вход сигнала разрешения считывания/записи левого порта
53	nOE _L	Вход сигнала разрешения выхода данных левого порта
54	I/O0 _L	Вход/выход данных левого порта
55	I/O1 _L	Вход/выход данных левого порта
56	I/O2 _L	Вход/выход данных левого порта
57	I/O3 _L	Вход/выход данных левого порта
58	I/O4 _L	Вход/выход данных левого порта
59	I/O5 _L	Вход/выход данных левого порта
60	GND	Общий
61	I/O6 _L	Вход/выход данных левого порта
62	I/O7 _L	Вход/выход данных левого порта
63	U _{CC}	Питание
64	GND	Общий


4 Таблицы истинности микросхемы

Таблица 2 – Таблица истинности для считывания/записи в бесконфликтной ситуации

Входы ⁽¹⁾				Выходы	Режим
nCE	R/nW	nOE	nSEM	I/O0-I/O7	
H	X	X	H	Состояние высокого импеданса	Хранение данных
L	L	X	H	Входные данные	Запись данных
L	H	L	H	Выходные данные	Считывание данных
X	X	H	X	Состояние высокого импеданса	Запрет выхода данных при считывании

Примечания:
 1 Обозначения:
 H – состояние высокого уровня;
 L – состояние низкого уровня;
 X – любое состояние высокого или низкого уровня.
 2 A0_L-A14_L ≠ A0_R-A14_R

Таблица 3 – Таблица истинности для семафорной логики⁽¹⁾

Входы				Выходы	Режим
nCE	R/nW	nOE	nSEM	I/O0-I/O7	
H	H	L	L	Выходные данные	Считывание флага семафор через входы/выходы данных I/O0-I/O7
H		X	L	Входные данные	Запись флага семафор через вход/выход данных I/O0
L	X	X	L	----	Запрещённый

Примечание – Существует 8 флагов семафоров, которые записываются через вход/выход данных I/O0 и считываются через входы/выходы данных I/O0-I/O7. Адреса семафоров определяется адресами A0-A2

Таблица 4 – Таблица истинности для логики прерываний^(1, 4) (interrupt)

Левый порт (L)					Правый порт (R)					Режим
R/nW _L	nCE _L	nOE _L	A0 _L -A14 _L	nINT _L	R/nW _R	nCE _R	nOE _R	A14 _R -A0 _R	nINT _R	
L	L	X	7FFF	X	X	X	X	X	L ⁽²⁾	Установка флага прерывания для правого порта
X	X	X	X	X	X	L	L	7FFF	H ⁽³⁾	Сброс флага прерывания для правого порта
X	X	X	X	L ⁽³⁾	L	L	X	7FFE	X	Установка флага прерывания для левого порта
X	L	L	7FFE	H ⁽²⁾	X	X	X	X	X	Сброс флага прерывания для левого порта

Примечания:
 1 Предполагается nBUSY_L=nBUSY_R=U_И;
 2 Если nBUSY_L=U_И, значение флага прерывания остается без изменений;
 3 Если nBUSY_R=U_И, значение флага прерывания остается без изменений;
 4 Флаги прерывания nINT_L и nINT_R устанавливаются в состояние H при включении питания

Таблица 5 – Таблица истинности – занятость при арбитраже по адресу

Входы			Выходы		Функционирование
nCE	R/nW	A0 _L -A14 _L A0 _R -A14 _R	nBUSY _L ⁽¹⁾	nBUSY _R ⁽¹⁾	
X	X	Различные	H	H	Нормальное
H	X	Одинаковые	H	H	Нормальное
X	H	Одинаковые	H	H	Нормальное
L	L	Одинаковые	(2)	(2)	Запрет записи (3)

Примечания:

- 1 Выводы nBUSYL и nBUSYR являются выходами, когда микросхема сконфигурирована как "Мастер", или входами, когда микросхема сконфигурирована как "Ведомый". В режиме "Ведомый" входы nBUSY запрещают запись внутри микросхемы.
- 2 Выходы принимают значение "L", если входы противоположенного порта были установлены заблаговременно по отношению к адресным и разрешающим входам этого порта, или значение "H", если входы противоположенного порта установились после адреса и разрешающего входа этого порта. Если t_{SU}(AR-AL) или t_{SU}(CER-CEL) не выполняются, произвольно любой один из двух выходов nBUSYL или nBUSYR примет значение «низкий уровень». Выходы nBUSYL и nBUSYR не могут быть в «низком уровне» одновременно.
- 3 Запись в левый порт запрещается внутри микросхемы, когда на выходе nBUSYL сформирован «низкий уровень – L». Запись в правый порт запрещается внутри микросхемы, когда на выходе nBUSYR формируется «низкий уровень – L»

Таблица 6 – Пример последовательностей доступа к семафорной памяти

Режим	D0-D7 левый порт читает	D0-D7 правый порт читает	Состояние
Не активная	1	1	Семафор свободен
Левый порт записывает "0" в семафор	0	1	Левый порт имеет семафорную метку
Правый порт записывает "0" в семафор	0	1	Без изменений. Правый порт не имеет доступа в семафор для записи
Левый порт записывает "1" в семафор	1	0	Правый порт получает семафорную метку
Левый порт записывает "0" в семафор	1	0	Без изменений. Левый порт не имеет доступа в семафор для записи
Правый порт записывает "1" в семафор	0	1	Левый порт получает семафорную метку
Левый порт записывает "1" в семафор	1	1	Семафор свободен
Правый порт записывает "0" в семафор	1	0	Правый порт имеет семафорную метку
Правый порт записывает "1" в семафор	1	1	Семафор свободный
Левый порт записывает "0" в семафор	0	1	Левый порт имеет семафорную метку
Левый порт записывает "1" в семафор	1	1	Семафор свободен

Примечания:

- 1 В таблице приведена последовательность событий для одного из восьми семафоров.
- 2 Все восемь семафорных флагов записываются через I/O0 и считываются через все I/O (I/O0 – I/O7). Эти восемь семафоров адресуются через A0, A1, A2

5 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

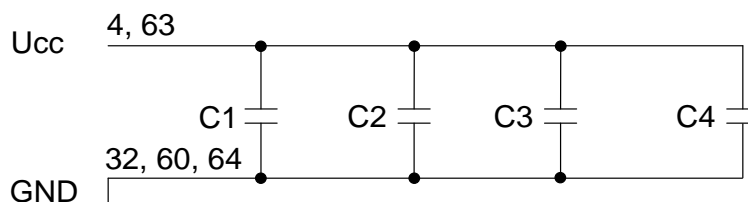
Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины "Общий".

Запрещается подведение каких-либо электрических сигналов (в том числе шин "Питание", "Общий") к выводам микросхем, не используемым согласно схеме электрической.

Порядок подачи и снятия напряжения питания и входных сигналов на микросхемы:

- подача (включение микросхем) – последовательно подключаются выводы «Общий», вывод «Питание», подаются сигналы на входы или на все выводы напряжения и входные сигналы подключаются одновременно;
- снятие (выключение микросхем) – в обратном порядке или одновременно.

Типовая схема подключения питания приведена на рисунке 3. Указанные конденсаторы располагаются как можно ближе к выводам питания.



C1, C2, C3, C4 – конденсаторы, C1 = C2 = C3 = 0,1 мкФ;
C4 = 10 мкФ

Рисунок 3 – Типовая схема подключения питания

6 Описание функционирования микросхемы

1645PK1У имеет два порта с отдельными выводами сигналов управления, сигналов адреса и сигналов входной/выходной информации, которые позволяют осуществить независимый доступ для чтения и записи в любое место памяти.

6.1 Взаимодействие портов

Каждый порт в любой момент времени, независимо от другого порта, может проводить чтение по любому адресу. Процесс записи в различные адреса также не вызывает помехи со стороны противоположного порта.

Если запись одного порта начнется раньше, чем по тому же адресу другой порт начнет чтение, то на информационные выходы читающего порта поступит та информация, которая записывается другим портом. Считывание будет достоверным, если длительность обращения читающего порта будет достаточной для того, чтобы обновленная информация по этому адресу зафиксировалась его выходными защелками.

Если же запись одного порта начнется позже, чем по тому же адресу другой порт начнет чтение, то запись будет заблокирована.

В обоих описанных выше случаях выставится флаг nBUSY, который для запоздавшего порта заблокирует запись, но не чтение.

При записи обоими портами по одному и тому же адресу запись произойдет по тому порту, который первым начнет эту процедуру. "Запоздавшему" порту запись будет заблокирована.

При чтении обоими портами по одному и тому же адресу чтение обоих портов пройдет успешно, но «запоздавшему» выставится флаг nBUSY.

Для согласованной работы устройств, управляющих портами, и предотвращения конфликтных ситуаций микросхема 1645PK1 содержит "логику занятости" и такие функции, как "Прерывание" и "Семафоры".

6.2 Прерывания

Если пользователь выбирает применение функции прерывания, то часть основной памяти будет использоваться как "почтовый ящик или центр сообщений". Флаг прерывания для левого порта (nINT_L) выставляется, когда правый порт записывает (8 бит) в основную память по адресу 7FFE. Запись осуществляется в соответствии с таблицей истинности (таблица 4), если $nCE_R = R/nW_R = L$. Когда левый порт при $nCE_L = nOE_L = L$ обращается к основной памяти по адресу 7FFE, то флаг прерывания для левого порта снимается. Логический уровень на входе R/nW_L левого порта при этом может быть любым.

Аналогично для правого порта выставляется флаг прерывания (nINT_R), когда левый порт проводит запись в память по адресу 7FFF, и для снятия (очистки) этого флага прерывания правый порт должен обратиться (при чтении или записи) к памяти по адресу 7FFF.

Смысловое содержание сообщения (8 бит) по адресам 7FFE или 7FFF предопределяется пользователем сразу же, как только условлено, что это место ОЗУ отведено для сообщений. Если функция прерываний не применяется, то память по адресам 7FFE и 7FFF не используются как "почтовый ящик", а используются как часть общей памяти.

6.3 Логика занятости

Логика занятости обеспечивает аппаратную индикацию при обращении обоих портов одновременно по одинаковым адресам, которая позволяет одному из двух портов завершить операцию и сигнализировать другому порту, что ячейка ОЗУ "Занята". Логическое состояние на выходе nBUSY в это время может быть использовано для остановки доступа к ячейке памяти одного порта до завершения

аналогичной операции другим портом. Если операция записи предпринимается со стороны порта, который получил сигнал занятости, то внутри микросхемы сигнал записи этого порта блокируется для предотвращения этого процесса.

Использование логики занятости не является обязательным для каждого применения. В некоторых случаях это может быть удобно: по логике ИЛИ можно объединить выходы занятости вместе, и использовать индикацию занятости как источник прерывания для обозначения ошибочного события или нелогичной операции. Если блокировка функции записи логикой занятости нежелательна, то работа логики занятости может быть запрещена путем установки микросхемы в режим "Ведомый" через вывод M/nS. В режиме "Ведомого" сигнал nBUSY функционирует исключительно как вход запрещения записи. Нормальная работа без запрета записи обеспечивается путем подачи на вход nBUSY высокого логического уровня. Если требуется избежать непреднамеренной записи в этот порт, то на вывод nBUSY должен быть подан низкий логический уровень.

Выход занятости в ОЗУ 1645PK1У в режиме "Мастер" является выходом пушпульного типа и не требует резистора подтяжки для работы микросхемы. Если для увеличения информационной емкости используется несколько микросхем одновременно, то для индикации результирующего сигнала занятости всего массива ОЗУ требуется использование внешнего элемента И.

6.4 Увеличение ширины с логикой занятости в массивах «Мастер»/«Ведомый»

При увеличении разрядности массива ОЗУ на микросхемах 1645PK1У с использованием логики занятости, одна из микросхем "Мастер" используется для определения того, какой порт массива ОЗУ будет получать индикацию занятости и выводить индикацию. Любое число ведомых микросхем должны получать адрес из того же адресного пространства, что и "Мастер", используя сигнал занятости как сигнал запрета записи.

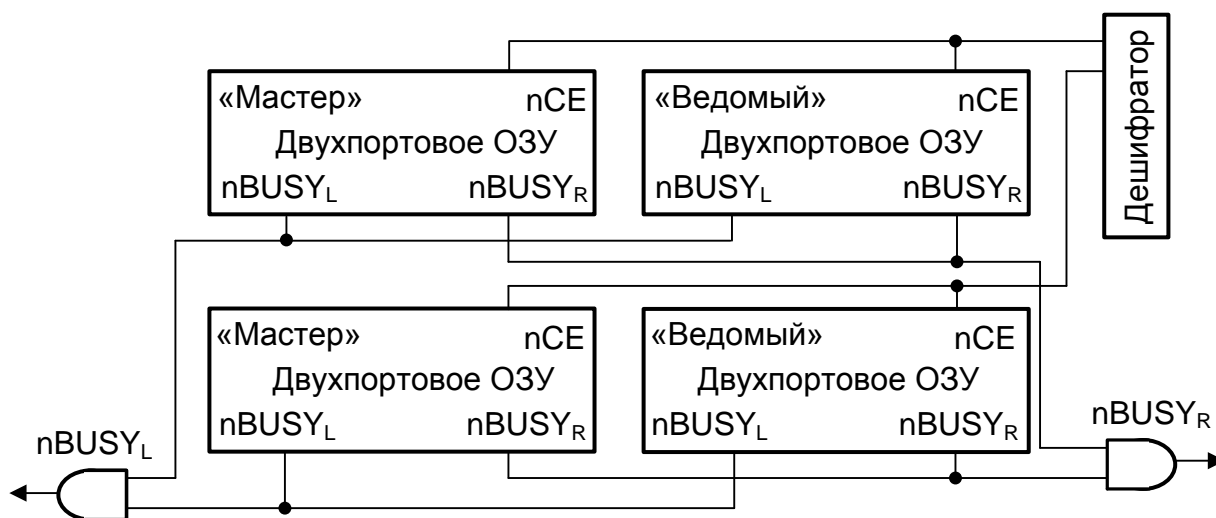


Рисунок 4 – Подключение сигналов занятости nBUSY и выборки кристаллов nCE для расширения ширины и глубины для микросхем 1645PK1У

Арбитраж занятости в микросхемах 1645PK1У в режиме "Мастер" формируется только сигналом разрешения выборки кристалла (nCE) и адресными сигналами, независимо от выполняемой процедуры (чтение или запись). В массиве "Мастер/Ведомый" сигналы адреса и выборки кристалла должны быть истинны (активны) достаточно длительное время, для того чтобы флаг занятости на выходе микросхемы "Мастер" установился в активное значение прежде, чем начнется воздействие, инициированное сигналом R/nW. Несоблюдение этого требования может привести к возникновению внутренних кратковременных сигналов запрещения записи и тем самым повредить данные в ведомом устройстве.

6.5 Семафоры

Микросхемы 1645PK1 содержат дополнительный восьмиадресный массив двоичных семафорных флагов. Эти флаги позволяют любому из двух устройств, управляющих левым и правым портом ОЗУ, иметь приоритет над другим управляющим устройством в действиях, определяемых разработчиком. Например, семафорные флаги могут быть использованы одним процессором для запрещения другому процессору доступа к определённой части памяти ОЗУ или к другим общим ресурсам.

Особенностью двухпортового ОЗУ является быстрый доступ и полная независимость в действиях портов друг от друга. Это означает, что действия левого порта не влияют на скорость доступа правого порта. Оба порта идентичны по функциональности стандартному КМОП статическому ОЗУ и могут читать, или записывать одновременно. При этом конфликт между портами возникнет только при попытке портов записать информацию в одну и ту же ячейку основной памяти.

Семафоры защищают от такой неоднозначной ситуации и могут использоваться системной программой таким образом, чтобы избежать обращения портов в одинаковые адреса основной памяти двухпортового ОЗУ.

Преимущество использования семафоров по сравнению с общими методами аппаратного арбитража заключается в том, что не возникают циклы ожидания для каждого управляющего устройства, что может обеспечить микросхеме 1645PK1У основное преимущество применения в высокоскоростных системах.

6.6 Как работают флаги семафоров

Семафорная память независима от основной памяти двухпортового ОЗУ. Она доступна, когда на входе nSEM устанавливается состояние низкого уровня. Остальные сигналы управления (адрес, nOE и R/nW) используются также, как и при доступе к основной памяти статического ОЗУ. Каждый из флагов имеет уникальный адрес, который задается на входах A0, A1, A2 каждого порта. При доступе к семафорам состояние остальных адресных выводов значения не имеют. При записи семафоров используется данные только с вывода I/O0.

При чтении флага семафора портов его значение появляется на всех выводах данных I/O0 – I/O7 соответствующего порта. Флаги семафоров имеют активный низкий уровень. Состояние флагов запрашивается при записи логического нуля в ячейку семафорной памяти порта в соответствии с адресом на входах A0, A1, A2 и снимается при записи логической единицы в эту ячейку.

Перед началом работы все семафоры с обоих портов должны находиться в состоянии логической единицы, записанной при инициализации. ***Инициализация семафоров не является автоматической и должна быть выполнена инициализационной программой управляющего устройства после включения питания.***

Семафорная ячейка памяти (всего восемь ячеек) содержит со стороны каждого порта входной триггер-защелку, выходной триггер-защелку и логику арбитража. Логический ноль во входную защелку можно записать со стороны каждого порта независимо, но в выходную защелку семафора ноль поступит только с той стороны, которая записывала его первой.

Логический ноль, записываемый в уже занятый со стороны другого порта семафор, будет храниться во входном триггере-защелке запрошенного семафора этого порта до тех пор, пока семафор не будет освобожден от нуля со стороны другого порта. Как только противоположный порт изменит состояние этого семафора с логического нуля на логическую единицу, то ноль из входного триггера-защелки автоматически пройдет в выходной триггер-защелку, и последующее чтение покажет логический ноль на выходе этого порта.

Эти защелки используются для передачи флагов или маркеров от одного порта другому, для того чтобы показать какой из общих ресурсов используется каждым из них.

Если устройство управления левым портом хочет использовать этот ресурс, он пытается захватить его путем установки защелки в состояние логического нуля. Затем это устройство проверяет, установился ли флаг, читая его. Если проверка (чтение) показала, что установка флага была неуспешной, и защелка не установлена в состояние логического нуля, то устройство управления левым портом определяет, что устройство управления правым портом установило защелку в состояние нуля первым и, тем самым, выставило соответствующий маркер, свидетельствующий, что оно использует этот общий ресурс. Устройство управления левым портом может либо повторно запрашивать статус семафора, либо удалить свой запрос для данного семафора, перейдя к выполнению других задач, или вновь пытаться получить контроль над маркером через последовательность установки и проверки. Как только устройство управления правым портом снимет маркер, устройству управления левым портом удастся захватить управление.

Если логический нуль записывается со стороны одного из портов в семафор, неиспользовавшийся до этого момента обоими портами, то флаг установится в нулевое состояние у записывающего порта и останется в состоянии логической единицы у другого порта. Этот семафор теперь может быть изменен только со стороны того порта, на выходе которого читается логический нуль. Когда логическая единица записывается в семафор со стороны этого же порта, а запроса семафора со стороны другого порта не поступало, то флаг окажется в состоянии логической единицы для обоих портов, и после этого логический нуль может записываться любым портом. Запись во входной триггер-защелку происходит, когда сигнал R/nW переходит из состояния высокого в состояние низкого уровня. Считываемое значение семафора защелкивается в выходном триггере-защелке и поступает на выход данных микросхемы, когда последний по времени из сигналов nSEM или nOE переключается в активный уровень. Это предотвращает изменение состояния семафора в середине цикла чтения, когда с другого порта проводится запись. Повторяющееся чтение семафора в циклах проверки должно сопровождаться переходом любого из сигналов nSEM или nOE в неактивное состояние, в противном случае выход никогда не изменится.

Последовательность ЧТЕНИЕ/ЗАПИСЬ семафора должна использоваться, чтобы гарантировать отсутствие состязаний на системном уровне. Устройство управления запрашивает доступ к общим ресурсам, пытаясь записать логический нуль в семафорное пространство. Если семафор уже используется, и запрошенная защелка семафора содержит нуль, чтение будет все еще показывать логическую единицу в процессе того, как устройство управления будет проверять флаг последующими чтениями (таблица 3).

Используемая последовательность ЧТЕНИЕ/ЗАПИСЬ предотвращает проблемы системных конфликтов в интервале времени между циклами чтения и записи.

Важно отметить, что неудачный запрос семафора должен сопровождаться либо последующими чтениями, либо записью единицы для снятия запроса.

7 Предельно-допустимые характеристики микросхемы

Таблица 7 – Предельно-допустимые и предельные режимы эксплуатации микросхем

Наименование параметра, единица измерения	Буквенное обозначени е параметра	Норма параметра			
		предельно- допустимый режим		предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	5,5	–	6,0
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	– 0,3	–
Входное напряжение высокого уровня, В	U_{IH}	2,2	U_{CC}	–	$U_{CC}+0,3$
Выходной ток низкого уровня, мА	I_{OL}	–	4	–	6
Выходной ток высокого уровня, мА	I_{OH}	– 4	–	– 6	–
Напряжение низкого уровня, прикладываемое к выходу в состоянии «Выключено», В	U_{OZL}	0	–	– 0,3	–
Напряжение высокого уровня, прикладываемое к выходу в состоянии «Выключено», В	U_{OZH}	–	U_{CC}	–	$U_{CC}+0,3$
Время нарастания и спада входного сигнала, нс	t_r t_f	–	5	–	–
Емкость нагрузки, пФ	C_L	–	30	–	–
Примечание – Не допускается одновременное задание нескольких предельных режимов					

8 Электрические параметры микросхемы

Таблица 8 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С	
		не менее	не более		
Выходное напряжение низкого уровня, В	U_{OL}	–	0,4	25, 125, – 60	
Выходное напряжение высокого уровня, В	U_{OH}	2,4	–		
Ток утечки низкого уровня на входе, мкА	I_{ILL}	– 10	10		
Ток утечки высокого уровня на входе, мкА	I_{ILH}	– 10	10		
Выходной ток низкого уровня в состоянии «Выключено», мкА	I_{OZL}	– 10	10		
Выходной ток высокого уровня в состоянии «Выключено», мкА	I_{OZH}	– 10	10		
Динамический ток потребления (оба порта активны – TTL уровни на входах), мА, при $U_{nCEL} = U_{nCER} = U_{nOEL} = U_{nOER} = U_{IL} = 0,8$ В, $U_{nSEML} = U_{nSEMR} = U_{IH} = 2,2$ В, $I_O = 0$ мА, $f = 1/t_{CYR}$: – $U_{CC} = 5,5$ В; – $U_{CC} = 3,6$ В	I_{OCC1}	–	170 100		
Ток потребления в режиме хранения (оба порта неактивны – TTL уровни на входах), мА, при $U_{nCER} = U_{nCEL} = U_{nSEMR} = U_{nSEML} = U_{IH} = 2,2$ В, $U_{IL} = 0,8$ В, $f = 1/t_{CYR}$: – $U_{CC} = 5,5$ В; – $U_{CC} = 3,6$ В	I_{CCS1}	–	20 10		
Ток потребления в режиме хранения (оба порта неактивны – КМОП уровни на входах), мА, при $U_{nCER} = U_{nCEL} = U_{nSEMR} = U_{nSEML} = U_{IH} = U_{CC} - 0,2$ В, $U_{IL} = 0,2$ В, $f = 1/t_{CYR}$	I_{CCS2}	–	2		
Ток потребления в режиме хранения (оба порта неактивны – TTL уровни на входах), мА, при $U_{ADDR} = U_{nCER} = U_{nCEL} = U_{nSEMR} = U_{nSEML} =$ $= U_{IH} = 2,2$ В, $U_{IL} = 0,8$ В, $f = 0$ МГц: – $U_{CC} = 5,5$ В; – $U_{CC} = 3,6$ В	I_{CCS3}	–	25 10		
Ток потребления в режиме хранения (оба порта неактивны – КМОП уровни на входах), мА, при $U_{ADDR} = U_{nCER} = U_{nCEL} = U_{nSEMR} = U_{nSEML} = U_{IH} =$ $= U_{CC} - 0,2$ В, $U_{IL} = 0,2$ В, $f = 0$ МГц	I_{CCS4}	–	1		
Циклы чтения и записи					
Время цикла чтения, нс при: $U_{CC} = 4,5$ В; $U_{CC} = 3,0$ В	t_{CYR}	50 60	– –		25, 125, – 60
Время выборки данных по адресу, нс, при $U_{CC} = 4,5$ В; $U_{CC} = 3,0$ В	$t_{A(D)}$	– –	50 60		

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время выборки данных по сигналу nCE, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{A(nCE-D)}	–	50	25, 125, – 60
		–	60	
Время выборки данных по сигналу nOE, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{A(nOE-D)}	–	30	
		–	45	
Время установления адреса относительно начала сигнала nCE или nSEM, нс при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{SU(A-nCE HL)}	0	–	
	t _{SU(A-nSEM HL)}			
Время сохранения выходных данных после изменения сигнала адреса, если nCE и nOE сохраняют значение "0", нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{V(A-Dout)}	5	–	
Время перехода выхода из состояния "Выключено" в состояние высокого (низкого) уровня по сигналу nCE, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{PZL(nCE-D)} t _{PZH(nCE-D)}	10	–	
		20	–	
Время перехода выхода из состояния высокого (низкого) уровня в состояние "Выключено" по сигналу nCE, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{PHZ(nCE-D)} t _{PLZ(nCE-D)}	–	10	
		–	20	
Время выборки данных семафорной памяти по сигналу nSEM, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{Asem(nSEM-D)}	–	50	
		–	60	
Время выборки данных семафорной памяти по сигналу nOE, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{Asem(nOE-D)}	–	30	
		–	45	
Время выборки данных семафорной памяти по адресу, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{Asem(A-D)}	–	50	
		–	60	
Время сохранения сигнала выходных данных семафорной памяти после изменения сигнала адреса, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{Vsem(Dout)}	10	–	
Время перехода выхода из состояния высокого (низкого) уровня в состояние "Выключено" по сигналу nSEM, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{PHZ(nSEM-D)} t _{PLZ(nSEM-D)}	–	10	
		–	20	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время цикла записи, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	t_{CYW}	50	–	25, 125, – 60
		60	–	
Длительность сигнала nCE при записи, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{W(nCE)}$	40	–	
		50	–	
Время установления адреса относительно окончания сигнала записи R/nW, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{SU(A-R/nW LH)}$	40	–	
		50	–	
Время установления адреса относительно начала сигнала записи R/nW, нс при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{SU(A-R/nW HL)}$	0	–	
Время установления адреса относительно окончания сигнала nCE при записи, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{SU(A-nCE LH)}$	40	–	
		50	–	
Длительность сигнала записи R/nW, нс при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{W(R/nW)}$	40	–	
		50	–	
Время удержания сигнала адреса относительно окончания сигнала разрешения записи R/nW или nCE, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{H(R/nW-A)}$ $t_{H(nCE-A)}$	0	–	
Время установления входных данных относительно окончания сигнала записи R/nW или nCE, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{SU(D-R/nW)}$ $t_{SU(D-nCE)}$	40	–	
		50	–	
Время перехода выхода из состояния высокого (низкого) уровня в состояние «Выключено» по сигналу nOE, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{PHZ(nOE-D)}$ $t_{PLZ(nOE-D)}$	–	15	
		–	30	
Время удержания входных данных относительно окончания сигнала записи R/nW, nCE или nSEM, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{H(R/nW-D)}$ $t_{H(nCE-D)}$ $t_{H(nSEM-D)}$	0	–	
Время перехода выхода из состояния высокого (низкого) уровня в состояние «Выключено» по сигналу R/nW, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{PHZ(R/nW-D)}$ $t_{PLZ(R/nW-D)}$	–	15	
		–	30	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время перехода выхода из состояния «Выключено» в состояние высокого (низкого) уровня по окончании сигнала R/nW, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{PZH(R/nW-D)}$ $t_{PZL(R/nW-D)}$	10	–	25, 125, – 60
Время установления сигнала nSEM при чтении в семафорной памяти относительно окончания сигнала R/nW, нс при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{SUsem(R/nW-nSEM)}$	10	–	
Длительность сигнала nSEM при записи в семафорную память, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{Wsem(nSEM)}$	40	–	
		50	–	
Длительность сигнала R/nW при записи в семафорную память, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{Wsem(R/nW)}$	40	–	
		50	–	
Время установления входных данных относительно окончания сигнала nSEM или R/nW при записи в семафорную память, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{SUsem(D-nSEM)}$ $t_{SUsem(D-R/nW)}$	40	–	
		50	–	
Время удержания сигнала записи R/nW или nSEM одного из портов относительно снятия сигнала записи R/nW или nSEM другого порта, для исключения состязания при записи в семафорную память, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{Hsem(R/nW R-R/nW L)}$ $t_{Hsem(nSEM R-nSEM L)}$	5	–	
		10	–	
Взаимодействие Порт-L- Порт-R				
Время выборки выходных данных одного порта относительно начала сигнала R/nW другого порта. Адреса считывания и записи обоих портов совпадают, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{A(R/nW)}$	–	70	25, 125, – 60
		–	85	
Время выборки выходных данных одного порта относительно фронта изменения входных данных, записываемых по другому порту. Адреса считывания и записи обоих портов совпадают, нс, при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{A(Din-Dout)}$	–	60	
		–	85	
Время установления входных данных относительно адреса, нс при $U_{CC} = 4,5 В$; $U_{CC} = 3,0 В$	$t_{SU(A-D)}$	0	–	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
nBUSY–логика для "Мастера" (M/nS=U_{ИН})				
Время задержки сигнала nBUSY относительно смены адреса, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{d(A-nBUSY)}	–	25	25, 125, – 60
		–	40	
Время сохранения сигнала nBUSY относительно смены адреса, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{v(A-nBUSY)}	–	30	
		–	50	
Время установления адреса одного из портов относительно смены адреса другого порта для гарантированного приоритета, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{SU(A R-A L)}	8	–	
		15	–	
Время задержки сигнала nBUSY относительно сигнала nCE, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{d(nCE-nBUSY)}	–	30	
		–	40	
Время сохранения сигнала nBUSY относительно окончания сигнала nCE, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{v(nCE-nBUSY)}	–	30	
		–	40	
Время установления сигнала nCE одного из портов относительно установления сигнала nCE другого порта для гарантированного приоритета, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{SU(nCE R-nCE L)}	5	–	
		15	–	
nBUSY-логика для "Ведомого" (M/nS=U_{ИЛ})				
Время установления сигнала записи R/nW относительно входного сигнала nBUSY этого же порта для гарантированного запрета записи, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{SU(nBUSY HL-R/nW)}	0	–	25, 125, – 60
		Время удержания сигнала записи R/nW относительно окончания сигнала nBUSY для завершения записи, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{H(nBUSY LH-R/nW)}	
50	–			
Прерывания (INTERRUPT)				
Время удержания адреса прерывания относительно окончания сигнала nCE, нс, при U _{CC} = 4,5 В; U _{CC} = 3,0 В	t _{H(nCE-Aint)}	0	–	25, 125, – 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время задержки сигнала nINT относительно сигнала R/nW, нс, при $U_{CC} = 4,5 \text{ В};$ $U_{CC} = 3,0 \text{ В}$	$t_{d(R/nW-nINT)}$	–	35	25, 125, – 60
		–	45	
Время сохранения сигнала nINT относительно сигнала nCE, нс, при $U_{CC} = 4,5 \text{ В};$ $U_{CC} = 3,0 \text{ В}$	$t_{V(nCE-nINT)}$	–	35	
		–	45	

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

9 Временные диаграммы

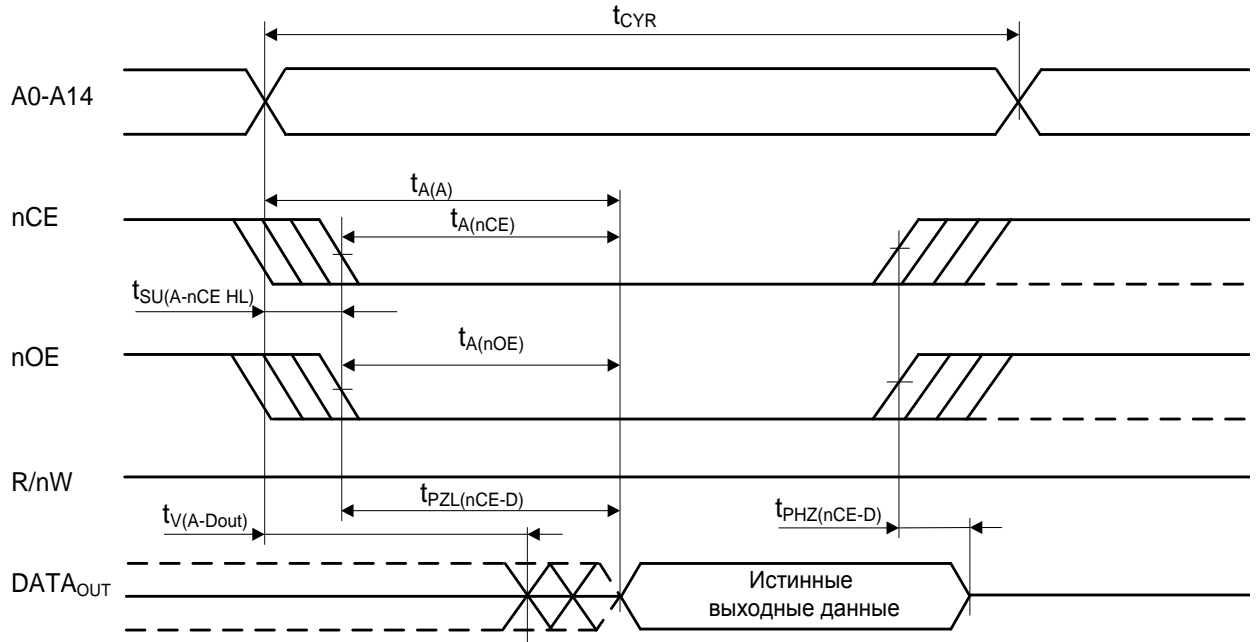


Рисунок 5 – Временная диаграмма цикла чтения

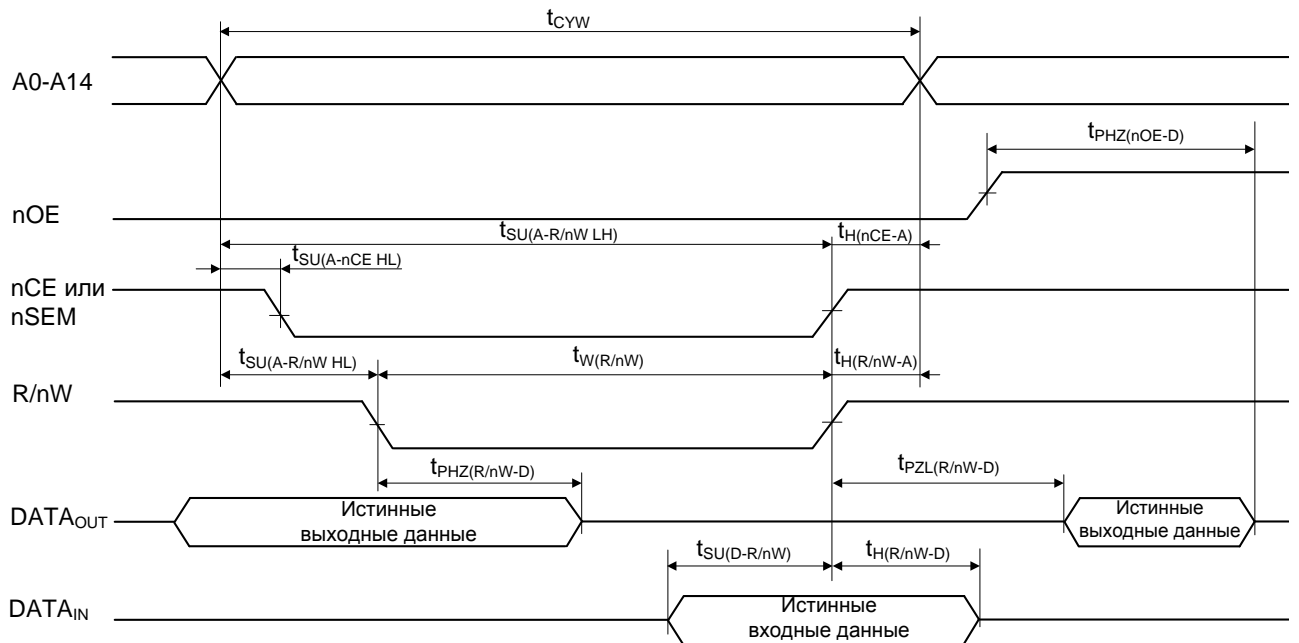


Рисунок 6 – Временная диаграмма цикла записи №1 по сигналу R/nW

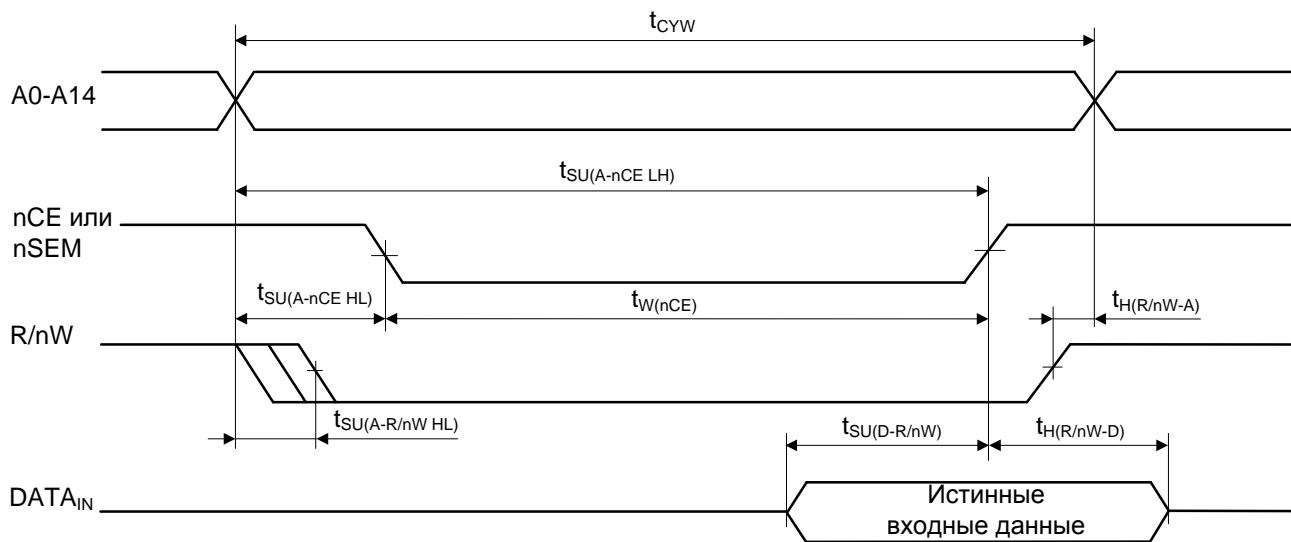


Рисунок 7 – Временная диаграмма цикла записи №2 по сигналу nCE

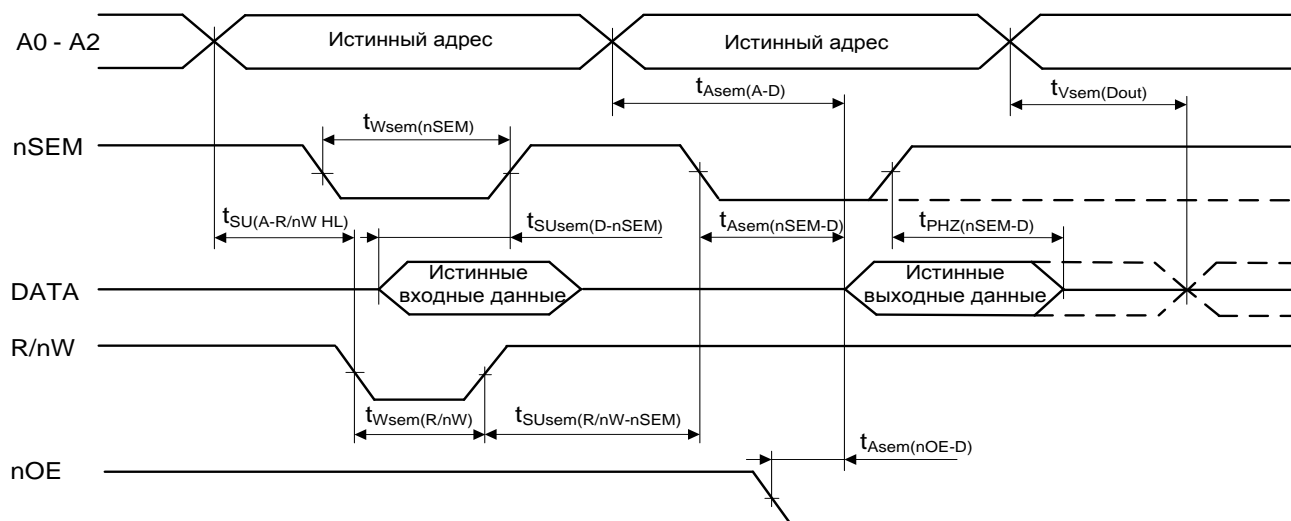


Рисунок 8 – Временная диаграмма чтения семафоров после записи (для обеих сторон)

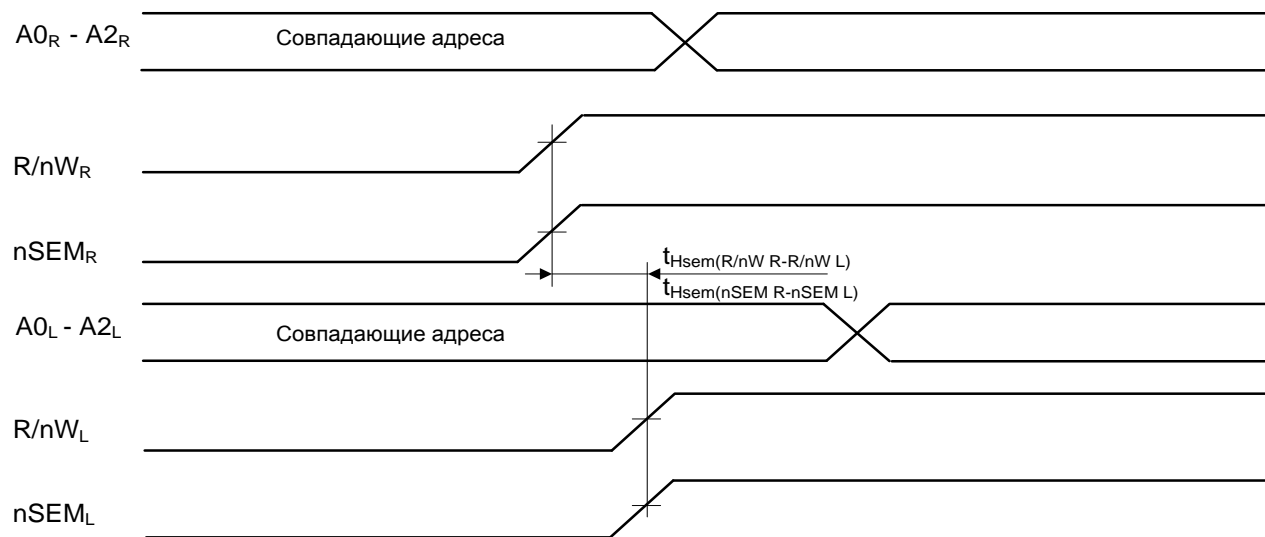


Рисунок 9 – Временная диаграмма состязания записи семафора

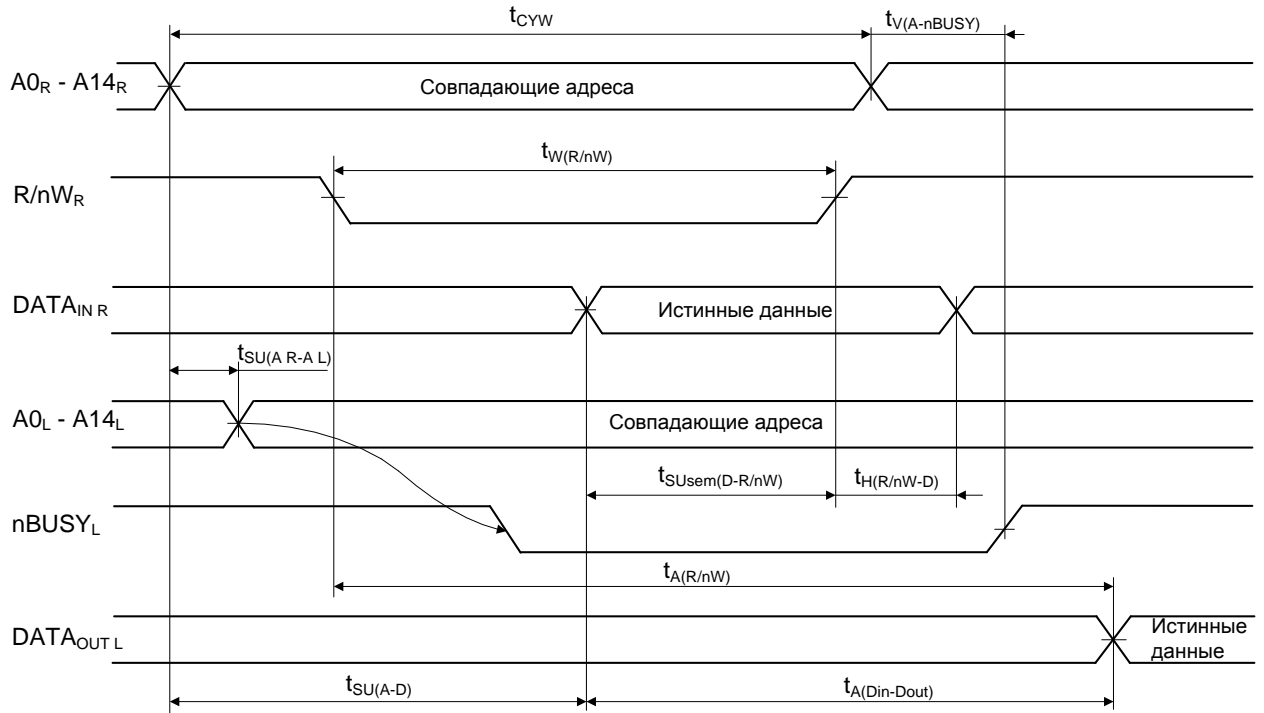


Рисунок 10 – Временная диаграмма записи по порту R с чтением по порту L и nBUSY (M/nS = U_{ИН}). Состояние остальных входов микросхемы приведены на рисунке 4 (цикл чтения), рисунках 5, 6 (цикл записи)

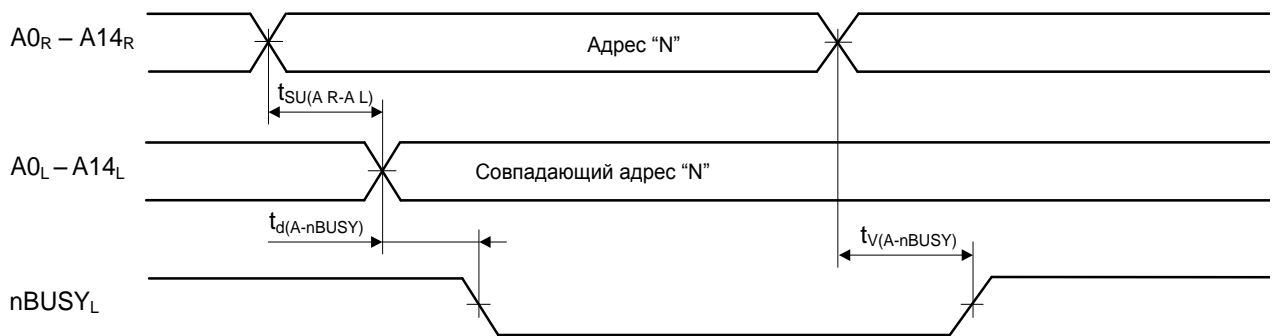


Рисунок 11 – Временная диаграмма арбитража nBUSY от совпадения адресов (M/nS = U_{ИН})

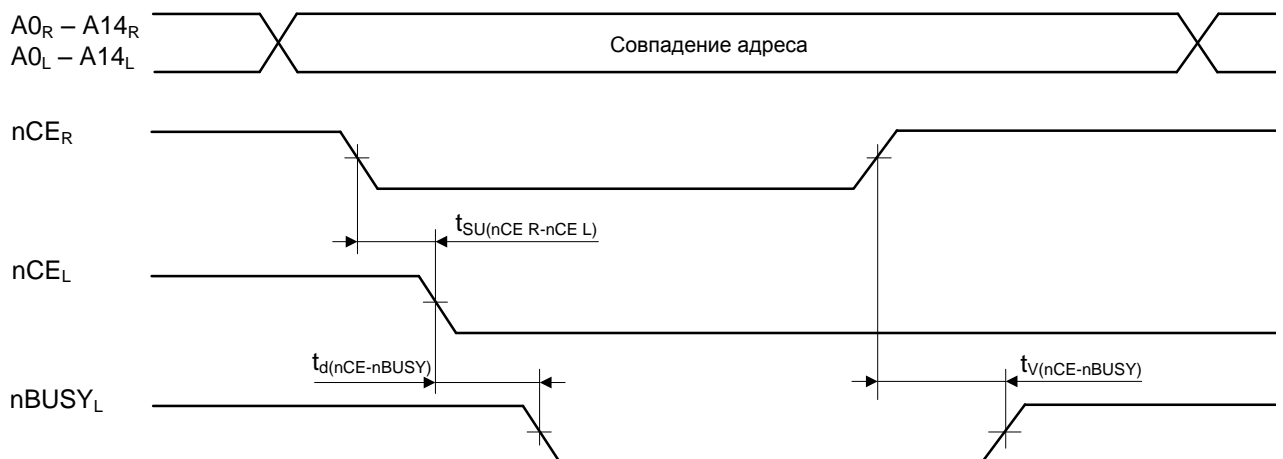


Рисунок 12 – Временная диаграмма арбитража "nBUSY" от сигналов nCE (M/nS = U_{ИН})

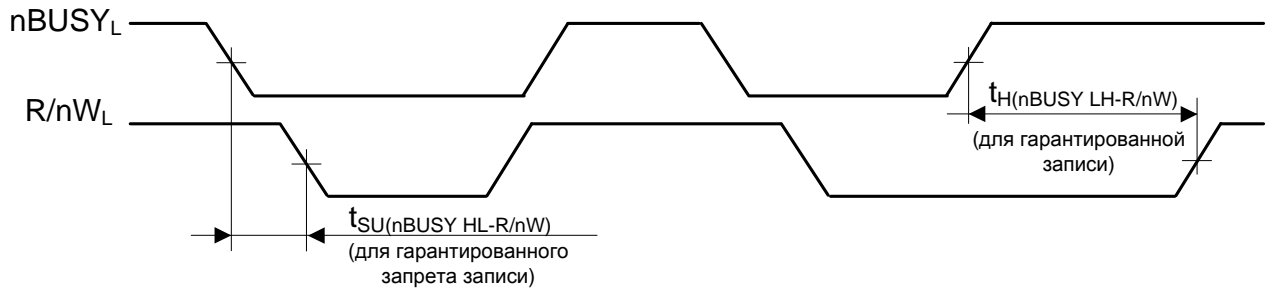


Рисунок 13 – Временная диаграмма записи с флагом "nBUSY" от совпадения адресов ($M/nS = U_{iL}$)

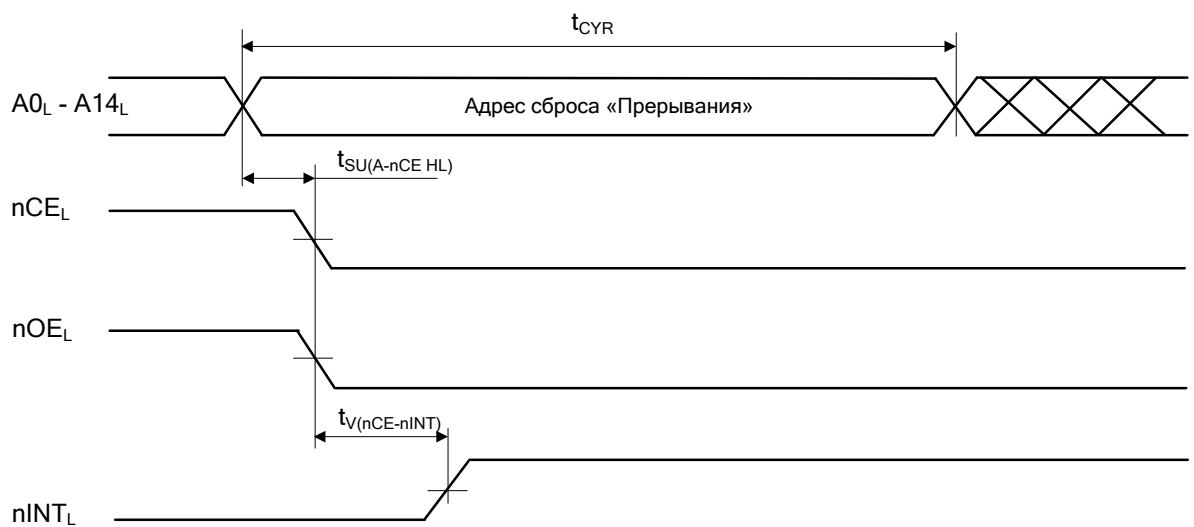
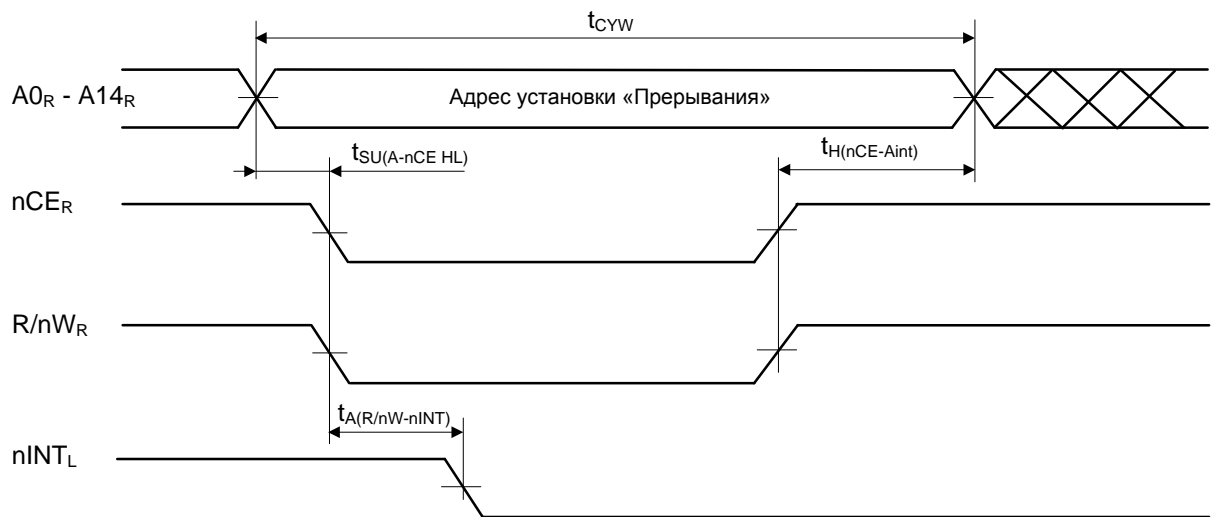


Рисунок 14 – Временная диаграмма флага прерывания ($nINT$)

10 Типовые зависимости

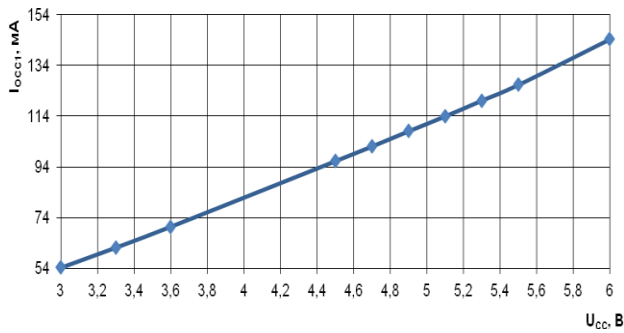


Рисунок 15 – Зависимость динамического тока потребления I_{OCC1} от напряжения питания U_{CC}, при: T=25 °C, t_{CYR} =50 нс

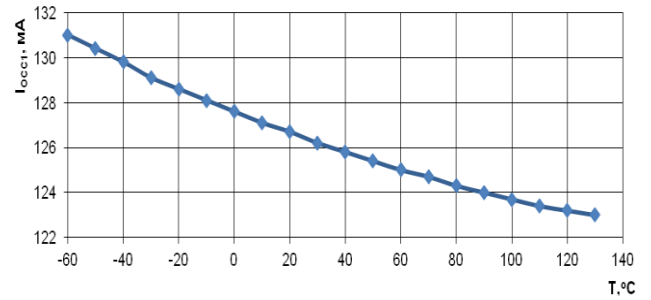


Рисунок 16 – Зависимость динамического тока потребления I_{OCC1} от температуры T °C, при: U_{CC} =5,5 В, t_{CYR} =50 нс

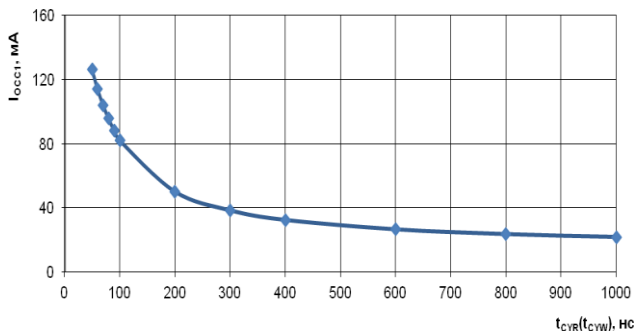


Рисунок 17 – Зависимость динамического тока потребления I_{OCC1} от времени цикла t_{CYR} (t_{CYW}), при: U_{CC} =5,5 В, T=25 °C

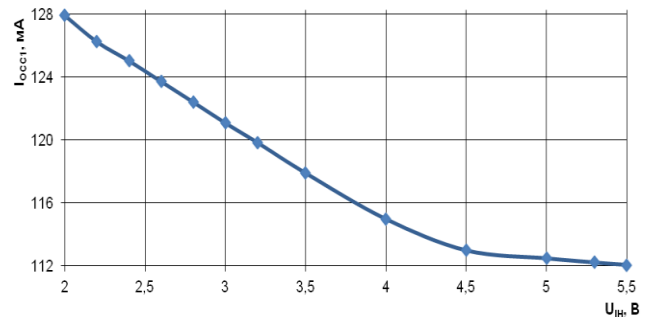


Рисунок 18 – Зависимость динамического тока потребления I_{OCC1} от входного напряжения высокого уровня U_{IH}, при: U_{CC} =5,5 В, T=25 °C, f=20 МГц, U_{IL} =0,8 В

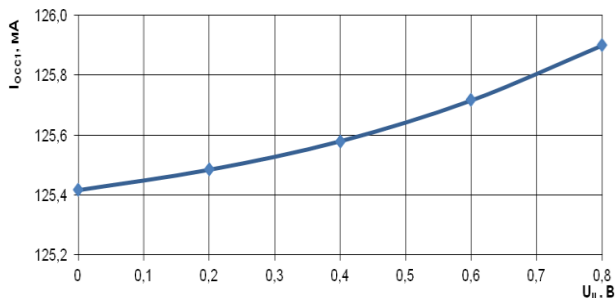


Рисунок 19 – Зависимость динамического тока потребления I_{OCC1} от входного напряжения низкого уровня U_{IL}, при: U_{CC} =5,5 В, T=25 °C, f=20 МГц, U_{IH} =2,4 В

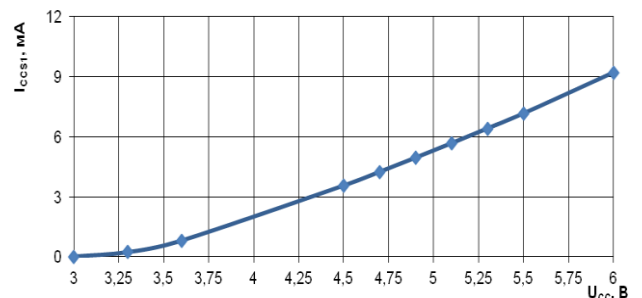


Рисунок 20 – Зависимость тока потребления в режиме хранения I_{OCC1} от напряжения питания U_{CC}, при: T=25 °C

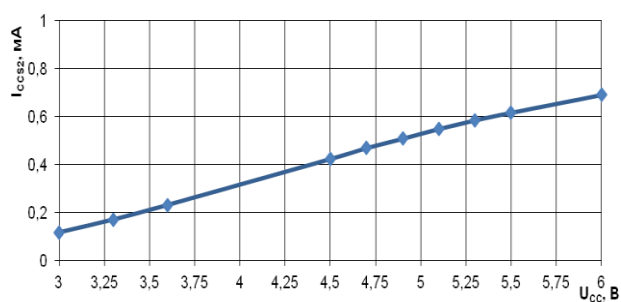


Рисунок 21 – Зависимость тока потребления в режиме хранения I_{CCS2} от напряжения питания U_{CC}, при: T=25 °C

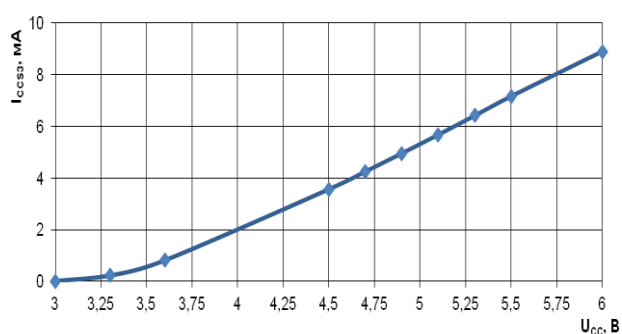


Рисунок 22 – Зависимость тока потребления в режиме хранения I_{CCS3} от напряжения питания U_{CC}, при: T=25 °C

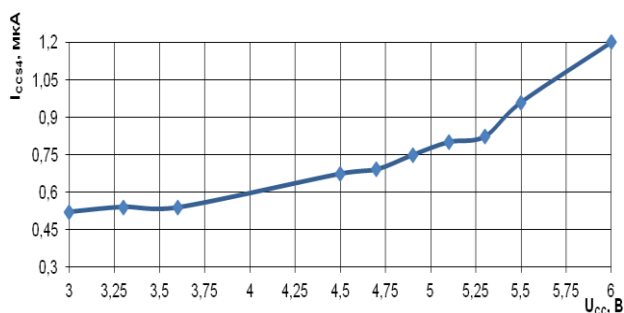


Рисунок 23 – Зависимость тока потребления в режиме хранения I_{CCS4} от напряжения питания U_{CC}, при: T=25 °C

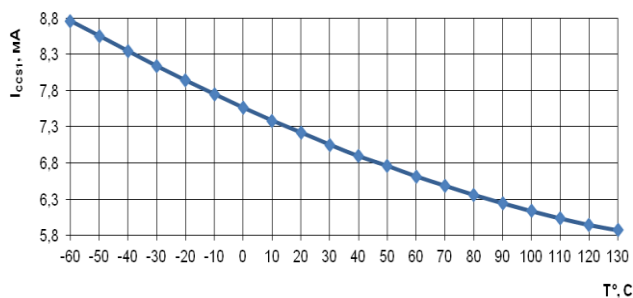


Рисунок 24 – Зависимость тока потребления в режиме хранения I_{CCS1} от температуры T °C, при: U_{CC}=5,5 В

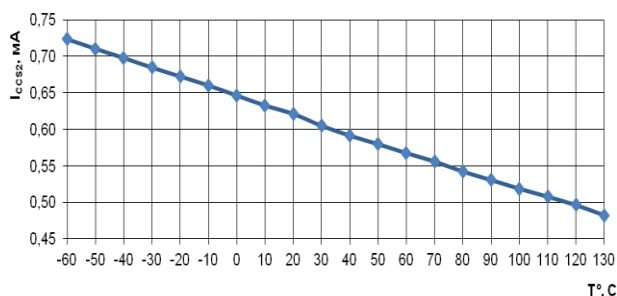


Рисунок 25 – Зависимость тока потребления в режиме хранения I_{CCS2} от температуры T °C, при: U_{CC}=5,5 В

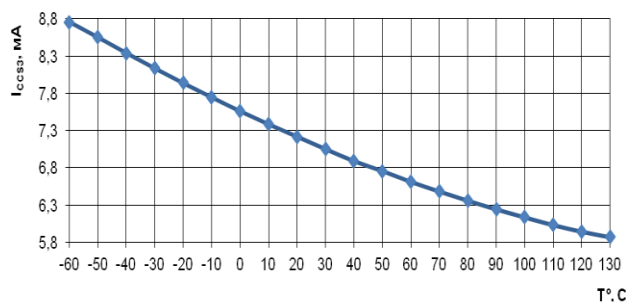


Рисунок 26 – Зависимость тока потребления в режиме хранения I_{CCS3} от температуры T °C, при: U_{CC}=5,5 В

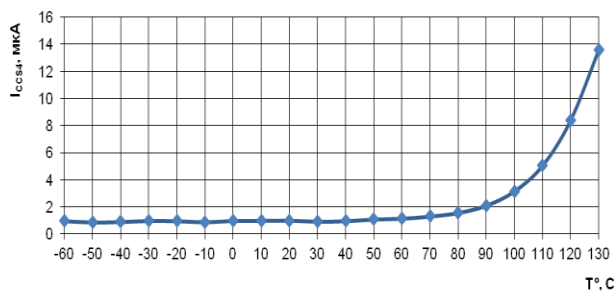


Рисунок 27 – Зависимость тока потребления в режиме хранения I_{CCS4} от температуры T °C, при: U_{CC}=5,5 В

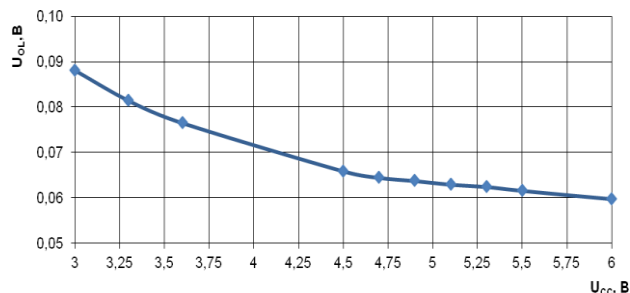


Рисунок 28 – Зависимость выходного напряжения низкого уровня U_{OL} от напряжения питания U_{CC}, при: T=25 °C, I_{OL}=4 мА

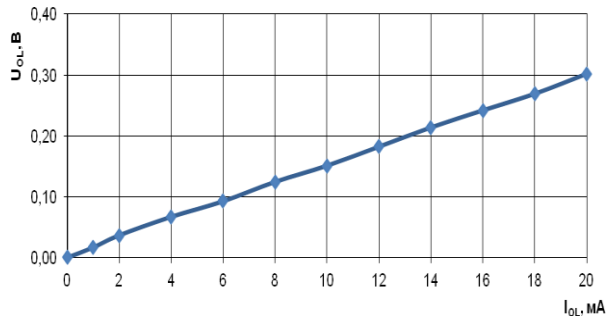


Рисунок 29 – Зависимость выходного напряжения низкого уровня U_{OL} от тока нагрузки I_{OL} , при: $T=25\text{ }^{\circ}\text{C}$, $U_{CC}=4,5\text{ В}$

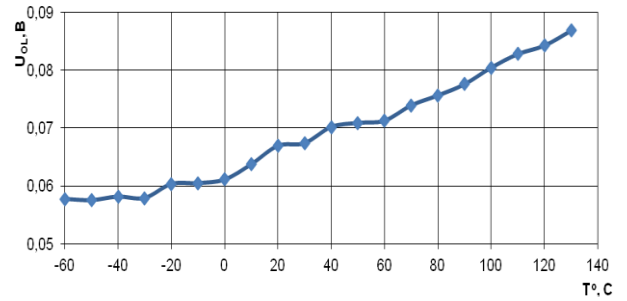


Рисунок 30 – Зависимость выходного напряжения низкого уровня U_{OL} от температуры T °C, при: $U_{CC}=4,5\text{ В}$, $I_{OL}=4\text{ мА}$

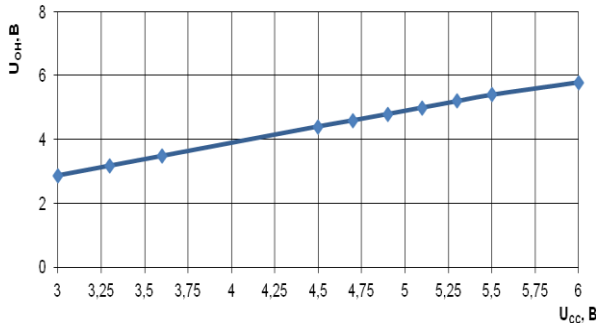


Рисунок 31 – Зависимость выходного напряжения высокого уровня U_{OH} от напряжения питания U_{CC} , при: $T = 25\text{ }^{\circ}\text{C}$, $I_{OH} = \text{минус } 4\text{ мА}$

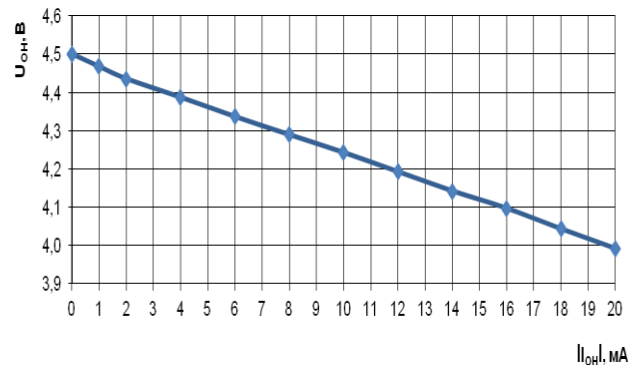


Рисунок 32 – Зависимость выходного напряжения высокого уровня U_{OH} от тока нагрузки I_{OH} , при: $T = 25\text{ }^{\circ}\text{C}$, $U_{CC}=4,5\text{ В}$

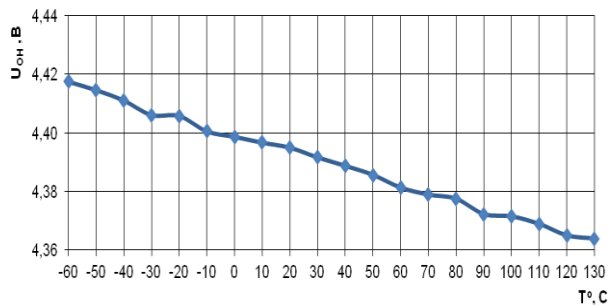


Рисунок 33 – Зависимость выходного напряжения высокого уровня U_{OH} от температуры $T = 25\text{ }^{\circ}\text{C}$, при: $U_{CC}=4,5\text{ В}$, $I_{OL} = \text{минус } 4\text{ мА}$

11 Габаритный чертеж микросхемы

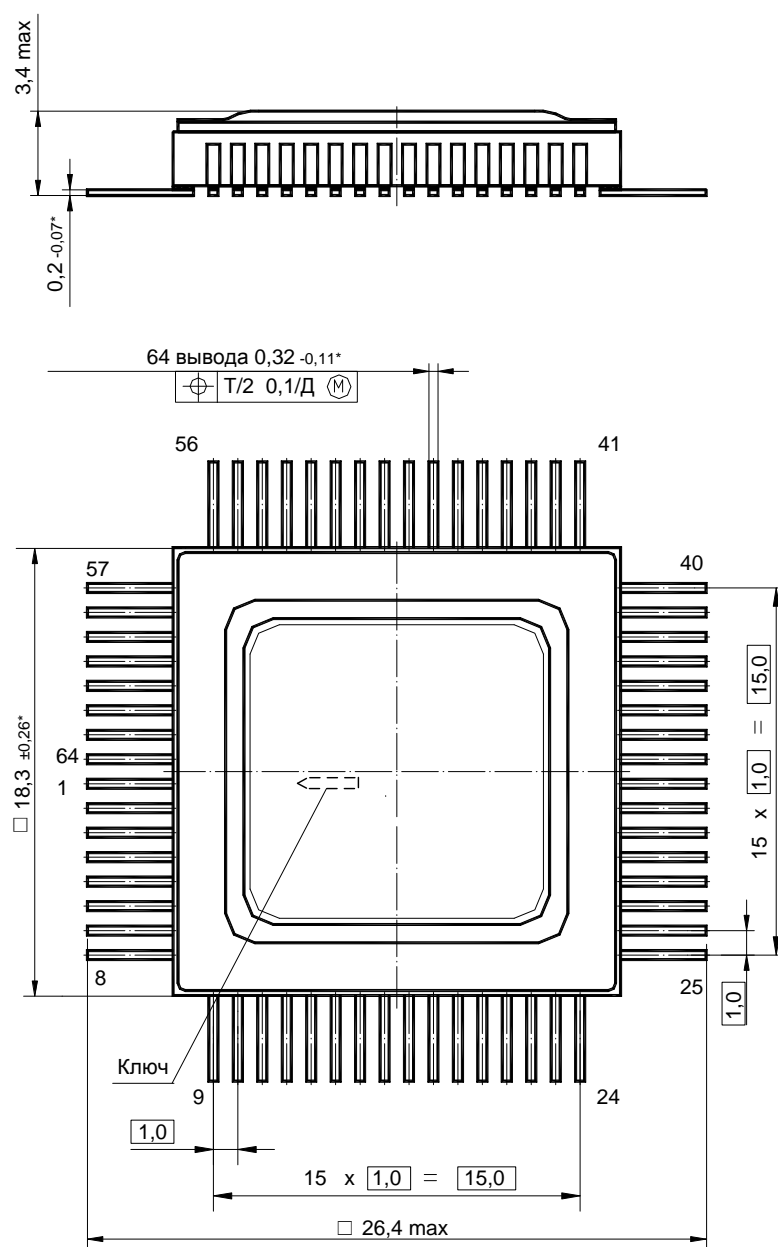


Рисунок 34 – Микросхема в корпусе 5134.64-6

Примечание – Ключ обозначен на обратной стороне корпуса

12 Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1645PK1У	1645PK1У	5134.64-6	минус 60 – 125 °С
К1645PK1У	К1645PK1У	5134.64-6	минус 60 – 125 °С
К1645PK1УК	К1645PK1У●	5134.64-6	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых ЛИСТОВ	№№ НОВЫХ ЛИСТОВ
1	12.02.2010	1.2	1. Отредактирована табл.8; 2. Добавлен лист регистрации	13	24
2	09.04.2010	1.3	Замена габаритного чертежа	23	–
3	27.04.2010	1.4	Замена логотипа	1	
4	06.05.2010	1.5	Приведение в соответствие таблицы 8 и временных диаграмм		
5	12.05.2010	1.6	Введен параметр $t_{W(SEM)}$		
6	20.09.2010	1.7	Приведение в соответствие таблицы 8 и рисунка 4	17	
7	18.01.2011	1.8	1. Приведение в соответствие с ТУ; 2. Отработка спецификации	1, 13-23; 5-12	(всего – 25 л.)
8	15.09.2011	1.9	1. Введение нового обозначения микросхемы с температурным диапазоном 0 – 70°C в соответствии со стандартом предприятия 2. Структурная блок-схема рис.1 – корректировка названия блока 3. Приведение табл.7, 8 в соответствие с ТУ 3. Приведение в соответствие условных обозначений выводов в табл.1 и временных диаграммах	1, 24 2 13-18 19-23	(всего – 25 л.)
9	22.12.2011	2.0	1. Корректировка описания функционирования микросхемы 2. Приведение в соответствие с ТУ п.8 таблицы 7 3. Приведение в соответствие с ТУ таблицы 8 4. Приведение в соответствие с ТУ временных диаграмм 5. Вставлены графики типовых зависимостей электрических параметров	8-12 13 14-18 19-23 24-26	26 - 29 (всего – 29 л.)
10	13.03.2014	2.1	1. Корректировка рисунка 11	22	–
11	06.03.2019	2.0.0	Плановая корректировка по замечаниям, а также корректировка в связи с расширением диапазона питания микросхемы (от 3,0 до 5,5 В)	По тексту	–