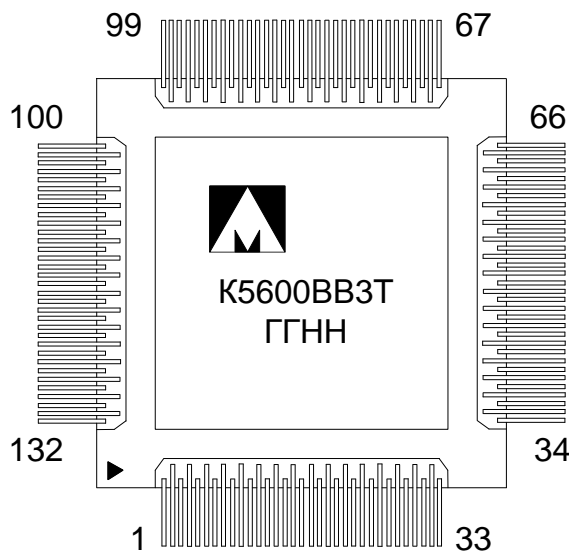




**Микросхема четырехканального коммутатора сетей  
протокола IEEE 802.3/Ethernet 10/100 Мбит/с  
5600BB3T, K5600BB3T, K5600BB3TK**

**Основные характеристики  
микросхемы:**



- Напряжение источника питания,  $U_{cc}$ ,  $3,3 \pm 0,3$  В;
- Встроенный регулятор напряжения на 1,8 В для питания ядра;
- Внешний осциллятор 25 МГц;
- Встроенный умножитель тактовой частоты PLL для приемопередатчиков физического уровня;
- 4 порта приема\передачи физического и канального уровней;
- 1 дополнительный порт канального уровня;
- Встроенное ОЗУ данных размером 32 Кбайт;
- Встроенное ОЗУ адресов размером 16 Кбайт;
- Суммарный динамический ток потребления,  $I_{oss}$ , не более 500 мА;
- Рабочий диапазон температур:

Обозначение	Диапазон
5600BB3T	минус 60 – 85 °С
K5600BB3T	минус 60 – 85 °С
K5600BB3TK	0 – 70 °С

ГГ – год выпуска

НН – неделя выпуска

**Тип корпуса:**

- 132-х выводной металлокерамический корпус 4229.132-3.

**Общее описание и области применения микросхемы**

Коммутатор ЛВС предназначен для использования в устройствах локальной вычислительной сети на основе протоколов IEEE802.3/Ethernet для обеспечения коммутации оконечных устройств внутри сети на основе MAC-адресов.

Микросхема функционирует как четырехпортовый коммутатор по стандарту IEEE 802.3 10Base-T и 100Base-TX в режимах полного дуплекса и полудуплекса. Каждый из четырех каналов обладает контроллерами канального и физического уровня. Кроме того, в состав микросхемы включен дополнительный порт на основе контроллера канального уровня. Передача и прием данных дополнительного порта осуществляется при помощи интерфейса MII, что позволяет использовать его как в качестве порта расширения для объединения двух микросхем, так и в качестве пятого канала коммутации данных при условии использования внешнего контроллера физического уровня.

# 1 Структурная блок-схема микросхемы и общее описание работы

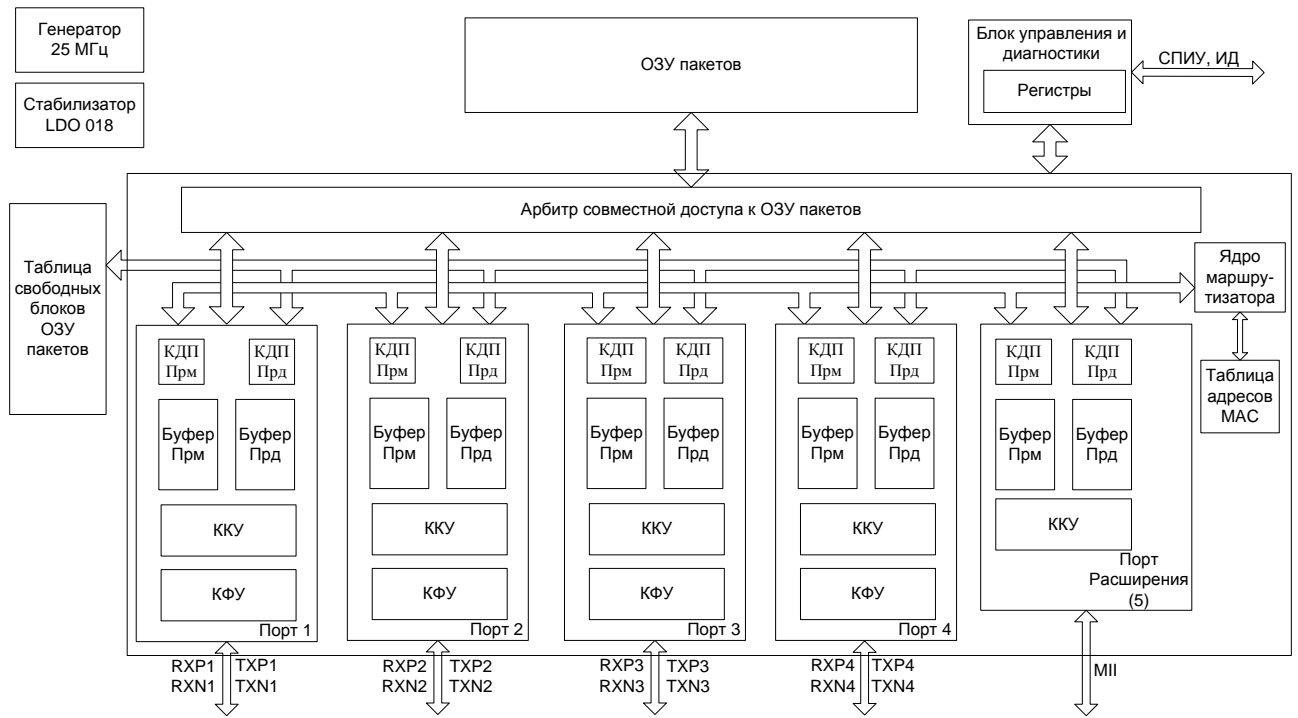
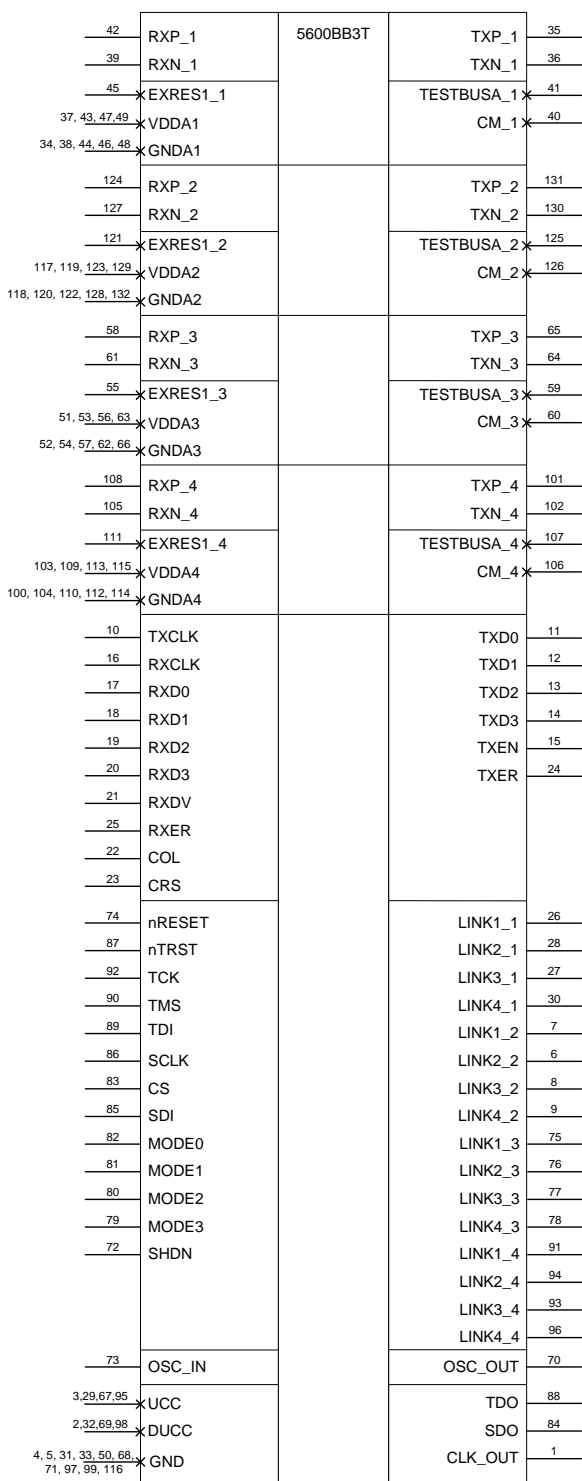


Рисунок 1 – Структурная блок-схема микросхемы

## 2 Условное графическое обозначение



**Рисунок 2 – Условное графическое обозначение микросхемы**

### 3 Описание выводов

**Таблица 1 – Описание выводов микросхемы**

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
1	CLK_OUT	O	Тестовый вывод. Выход опорного синхросигнала приемопередатчиков PHY
2	DUCC	PWR IO	Питание цифровой части, +1,8 В при SHDN = «1» (выход при SHDN = «0»)
3	UCC	PWR IO	Питание аналоговой части, (в т.ч. питание регулятора напряжения из 3,3 В в 1,8 В)
4	GND	PWR IO	Общий цифровой части
5	GND	PWR IO	
6	LINK2_2	O	Выходы сигналов индикации
7	LINK1_2	O	
8	LINK3_2	O	
9	LINK4_2	O	
10	TXCLK	I	Интерфейс MII для порта расширения
11	TXD0	O	
12	TXD1	O	
13	TXD2	O	
14	TXD3	O	
15	TXEN	O	
16	RXCLK	I	
17	RXD0	I	
18	RXD1	I	
19	RXD2	I	
20	RXD3	I	
21	RXDV	I	
22	COL	I	
23	CRS	I	
24	TXER	O	
25	RXER	I	
26	LINK1_1	O	Выходы сигналов индикации
27	LINK3_1	O	
28	LINK2_1	O	
29	UCC	PWR IO	Питание аналоговой части, (в т.ч. питание регулятора напряжения из 3,3 В в 1,8 В)
30	LINK4_1	O	Выходы сигналов индикации
31	GND	PWR IO	Общий цифровой части
32	DUCC	PWR IO	Питание цифровой части, +1,8 В при SHDN = «1» (выход при SHDN = «0»)
33	GND	PWR IO	Общий цифровой части
34	GND A1	PWR IO	Общий приемопередатчиков PHY1
35	TXP_1	AO	Дифференциальный выход передатчика Ethernet порта 1
36	TXN_1	AO	
37	VDDA1	PWR IO	Питание приемопередатчиков PHY1 (U <sub>CCPHY</sub> ), +3,3 В
38	GND A1	PWR IO	Общий приемопередатчиков PHY1
39	RXN_1	AI	Дифференциальный вход приемника Ethernet порта 1
40	CM_1	AO	Средняя точка приемопередатчика 1

## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
41	TESTBUS_A_1	AIO	Тестовый
42	RXP_1	AI	Дифференциальный вход приемника Ethernet порта 1
43	VDDA1	PWR IO	Питание приемопередатчиков PHY1 (U <sub>CCPHY</sub> ), +3,3 В
44	GND_A1	PWR IO	Общий приемопередатчиков PHY1
45	EXRES1_1	AIO	Выводы для подключения внешнего стабильного резистора для порта 1
46	GND_A1	PWR IO	Общий приемопередатчиков PHY1
47	VDDA1	PWR IO	Питание приемопередатчиков PHY1 (U <sub>CCPHY</sub> ), +3,3 В
48	GND_A1	PWR IO	Общий приемопередатчиков PHY1
49	VDDA1	PWR IO	Питание приемопередатчиков PHY1 (U <sub>CCPHY</sub> ), +3,3 В
50	GND	PWR IO	Общий цифровой части
51	VDDA3	PWR IO	Питание приемопередатчиков PHY3 (U <sub>CCPHY</sub> ), + 3,3 В
52	GND_A3	PWR IO	Общий приемопередатчиков PHY3
53	VDDA3	PWR IO	Питание приемопередатчиков PHY3 (U <sub>CCPHY</sub> ), + 3,3 В
54	GND_A3	PWR IO	Общий приемопередатчиков PHY3
55	EXRES1_3	AIO	Выводы для подключения внешнего стабильного резистора для порта 3
56	VDDA3	PWR IO	Питание приемопередатчиков PHY3 (U <sub>CCPHY</sub> ), + 3,3 В
57	GND_A3	PWR IO	Общий приемопередатчиков PHY3
58	RXP_3	AI	Дифференциальный вход приемника Ethernet порта 3
59	TESTBUS_A_3	AIO	Тестовый
60	CM_3	AO	Средняя точка приемопередатчика 3
61	RXN_3	AI	Дифференциальный вход приемника Ethernet порта 3
62	GND_A3	PWR IO	Общий приемопередатчиков PHY3
63	VDDA3	PWR IO	Питание приемопередатчиков PHY3 (U <sub>CCPHY</sub> ), + 3,3 В
64	TXN_3	AO	Дифференциальный выход передатчика Ethernet порта 3
65	TXP_3	AO	
66	GND_A3	PWR IO	Общий приемопередатчиков PHY3
67	UCC	PWR IO	Питание аналоговой части, (в т.ч. питание регулятора напряжения из 3,3 В в 1,8 В)
68	GND	PWR IO	Общий цифровой части
69	DUCC	PWR IO	Питание цифровой части, +1,8 В при SHDN = «1» (выход при SHDN = «0»)
70	OSC_OUT	AO	Выход для подключения кварцевого резонатора
71	GND		Общий цифровой части
72	SHDN	I	Вход выключения внутреннего регулятора напряжения LDO 018 0 – Регулятор работает в штатном режиме. Питание цифровой части микросхемы (1,8 В) осуществляется с выхода регулятора. На выводах DUcc присутствует напряжение питания с выхода регулятора. К выводам DUcc подключаются фильтрующие конденсаторы. 1 – Регулятор выключен. Питание цифровой части микросхемы (1,8 В) осуществляется подачей напряжения питания на выводы DUcc.
73	OSC_IN	AI	Вход подключения внешнего генератора или кварцевого резонатора
74	nRESET	I	Сброс устройства (0 – сброс микросхемы; 1 – рабочий режим)
75	LINK1_3	O	Выходы сигналов индикации
76	LINK2_3	O	
77	LINK3_3	O	
78	LINK4_3	O	

## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
79	MODE3	I	Входы выбора режима работы модулей PHY
80	MODE2	I	
81	MODE1	I	
82	MODE0	I	
83	CS	I	Вход «Выбор кристалла» (Chip Select)
84	SDO	O	Выход данных синхронного последовательного интерфейса
85	SDI	I	Вход данных синхронного последовательного интерфейса
86	SCLK	I	Вход синхронизации синхронного последовательного интерфейса
87	nTRST	I	Тестовый вывод. Подключить к низкому потенциалу через резистор 47 кОм. Вход сброса контроллера JTAG интерфейса (активный низкий уровень)
88	TDO	O	Тестовый вывод. Оставить неподключенным. Выход данных Интерфейс диагностики и настройки
89	TDI	I	Тестовый вывод. Подключить к низкому потенциалу через резистор 47 кОм. Вход данных. Интерфейс диагностики и настройки
90	TMS	I	Тестовый вывод. Подключить к низкому потенциалу через резистор 47 кОм. Вход разрешения работы. Интерфейс диагностики и настройки
91	LINK1_4	O	Выходы сигналов индикации
92	TCK	I	
			Тестовый вывод. Подключить к низкому потенциалу через резистор 47 кОм. Вход сигнала синхронизации работы. Интерфейс диагностики и настройки
93	LINK3_4	O	Выходы сигналов индикации
94	LINK2_4	O	
95	UCC	PWR IO	Питание аналоговой части, (в т.ч. питание регулятора напряжения из 3,3 В в 1,8 В)
96	LINK4_4	O	Выходы сигналов индикации
97	GND	PWR IO	Общий цифровой части
98	DUCC	PWR IO	Выход внутреннего регулятора напряжения при SHDN = «0»; Питание цифровой части, +1,8 В, при SHDN = «1»
99	GND	PWR IO	Общий цифровой части
100	GND A4	PWR IO	Общий приемопередатчиков PHY4
101	TXP_4	AO	Дифференциальный выход передатчика Ethernet порта 4
102	TXN_4	AO	
103	VDDA4	PWR IO	Питание приемопередатчиков PHY4 (U <sub>CCPHY</sub> ), + 3,3 В
104	GND A4	PWR IO	Общий приемопередатчиков PHY4
105	RXN_4	AI	Дифференциальный вход приемника Ethernet порта 4
106	CM_4	AO	
107	TESTBUS A_4	AIO	Тестовый
108	RXP_4	AI	Дифференциальный вход приемника Ethernet порта 4
109	VDDA4	PWR IO	Питание приемопередатчиков PHY4 (U <sub>CCPHY</sub> ), + 3,3 В
110	GND A4	PWR IO	Общий приемопередатчиков PHY4

## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
111	EXRES1_4	AIO	Выводы для подключения внешнего стабильного резистора для порта 4
112	GND4	PWR IO	Общий приемопередатчиков PHY4
113	VDDA4	PWR IO	Питание приемопередатчиков PHY4 ( $U_{CCPHY}$ ), + 3,3 В
114	GND4	PWR IO	Общий приемопередатчиков PHY4
115	VDDA4	PWR IO	Питание приемопередатчиков PHY4 ( $U_{CCPHY}$ ), + 3,3 В
116	GND	PWR IO	Общий цифровой части
117	VDDA2	PWR IO	Питание приемопередатчиков PHY2 ( $U_{CCPHY}$ ), + 3,3 В
118	GND2	PWR IO	Общий приемопередатчиков PHY2
119	VDDA2	PWR IO	Питание приемопередатчиков PHY2 ( $U_{CCPHY}$ ), + 3,3 В
120	GND2		Общий приемопередатчиков PHY2
121	EXRES1_2	AIO	Выводы для подключения внешнего стабильного резистора для порта 2
122	GND2	PWR IO	Общий приемопередатчиков PHY2
123	VDDA2	PWR IO	Питание приемопередатчиков PHY2 ( $U_{CCPHY}$ ), + 3,3 В
124	RXP_2	AI	Дифференциальный вход приемника Ethernet порта 2
125	TESTBUSA_2	AIO	Тестовый
126	CM_2	AO	Средняя точка приемопередатчика 2
127	RXN_2	AI	Дифференциальный вход приемника Ethernet порта 2
128	GND2	PWR IO	Общий приемопередатчиков PHY2
129	VDDA2	PWR IO	Питание приемопередатчиков PHY2 ( $U_{CCPHY}$ ), + 3,3 В
130	TXN_2	AO	Дифференциальный выход передатчика Ethernet порта 2
131	TXP_2	AO	Дифференциальный выход передатчика Ethernet порта 2
132	GND2		Общий приемопередатчиков PHY2

\* – обозначение типа выводов:

- I – цифровой вход;
- O – цифровой выход;
- IO – цифровой вход/выход;
- AI – аналоговый вход;
- AO – аналоговый выход;
- AIO – аналоговый вход/выход;
- PWR IO – вход/выход питания

#### **4 Указания по применению и эксплуатации**

При ремонте аппаратуры и измерении параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины "Общий".

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание» и «Общий») к тестовым выводам 41, 59, 107, 125.

Тестовые выводы 40, 60, 106, 126 рекомендуется подключать в соответствии с типовой схемой включения (см. Рисунок 11), допускается оставлять эти выводы не подключенными.

Допустимая разница потенциалов GND и GNDA – не более 0,5 В.

Порядок подачи и снятия напряжения питания и входных сигналов на микросхемы должен быть следующим:

– подача (включение микросхемы): общий, питание, входные сигналы или одновременно;

– снятие (выключение микросхемы): одновременно или в обратном порядке.



## **5 Описание функционирования микросхемы**

В микросхеме реализованы четыре независимых порта приема-передачи Ethernet пакетов, каждый из которых содержит:

- контроллеры доступа к памяти приемника (КДП Прм.) и передатчика (КДП Прд.);
- промежуточные буферы принимаемых и передаваемых пакетов (на структурной схеме Буфер Прм. и Буфер Прд. соответственно);
- контроллер стандарта IEEE 802.3 канального уровня (ККУ);
- контроллер стандарта IEEE 802.3 физического уровня (КФУ).

Пятый порт структурно полностью повторяет четыре основных порта, за исключением блока КФУ. Алгоритм коммутации и доступа порта к ОЗУ пакетов также ничем не отличается от остальных четырех портов. Данный порт может быть использован как порт расширения, или, в случае подключения внешнего контроллера физического уровня, как дополнительный порт коммутатора.

Принятые пакеты каждого порта проверяются на отсутствие ошибок структуры пакета и контрольной суммы. В том случае, если пакет не содержит ошибок, он помещается в ОЗУ пакетов, флаг успешного приема пакета передается ядру коммутатора, прием пакета считается завершенным, приемник считается готовым для приема следующего пакета. В том случае, если в пакете обнаружены ошибки, пакет отбрасывается, память, занятая под уже принятые байты пакета, считается свободной.

Объем ОЗУ составляет 32 Кбайт, что позволяет одновременно хранить до 16-ти пакетов длиной до 2048 байт.

Для обеспечения коммутации пакетов в микросхеме реализована таблица MAC-адресов размером 16 Кбайт. В данной таблице может одновременно содержаться информация о 2048 MAC-адресах. При приеме пакета в таблицу заносится новый MAC-адрес источника пакета. На основе информации, хранящейся в таблице, происходит коммутация принятых пакетов.

Для управления микросхемой в ее состав включен контроллер синхронного последовательного интерфейса управления (СПИУ). Для тестирования и диагностики микросхемы реализован интерфейс диагностики (ИД).

Описание СПИУ приведено в разделе «Синхронный последовательный интерфейс управления (СПИУ)». Описание регистров, настраиваемых при помощи СПИУ, приведено в разделе «Внутренние регистры микросхемы».

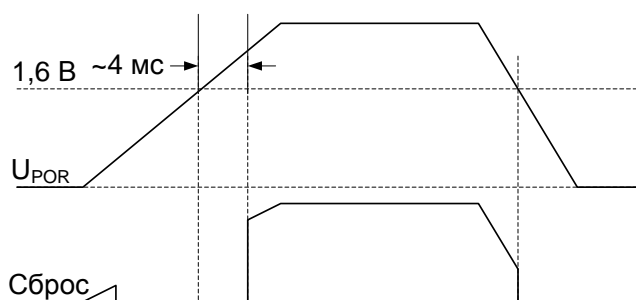
В микросхеме реализована возможность доступа к ОЗУ адресов и данных по СПИУ. Доступ к памяти данных реализован в тестовых целях. Доступ к памяти адресов позволяет конфигурировать таблицу MAC-адресов в соответствии с задачами пользователя. При этом допустимо как читать и дополнять автоматически создаваемую таблицу адресов, так и, запретив портам обновлять записи, создать жестко заданную конфигурацию. Кроме того, при помощи регистров масок ретрансляции можно перенаправлять трафик в обход данных, хранящихся в таблице.

Интерфейс диагностики интегрирован в микросхему исключительно для целей тестирования и диагностики. Для корректной эксплуатации микросхемы в рабочем режиме рекомендуется сбросить контроллер интерфейса диагностики, установив сигналы nTRST, TDI, TCLK и TMS в состояние 0.

### **5.1 Схема сброса при включении и выключении основного питания**

При включении питания вырабатывается внутренний сигнал сброса POR для цифровой части, питание U<sub>cc</sub> нарастает и, пока оно не превысило уровень 1,6 В, сигнал сброса POR удерживается; после превышения данного уровня сигнал POR выдается еще

на протяжении  $\sim 4$  мс для того, чтобы гарантированно установилось напряжение питания, после чего сигнал POR снимается, и схема может начать работать.

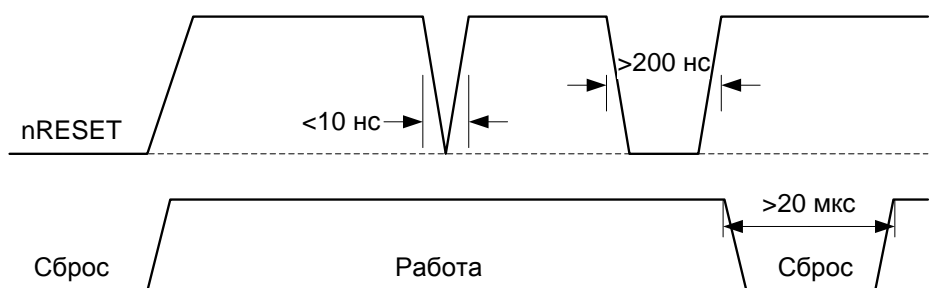


**Рисунок 3 – Сигнал сброса при включении и выключении основного напряжения питания**

При снижении напряжения питания  $U_{CC}$  ниже уровня 2,0 В сигнал POR вырабатывается без задержки.

При включении основного напряжения питания  $U_{CC}$  автоматически включается встроенный регулятор напряжения для формирования напряжения  $DU_{CC}$  питания цифрового ядра.

При подаче на вход nRESET импульсов сброса длительностью менее 10 нс эти импульсы отфильтровываются и не приводят к сбросу микросхемы. Если длительность импульса больше 200 нс, вырабатывается сигнал сброса. При этом длительность сформированного сигнала сброса будет не менее 20 мкс.

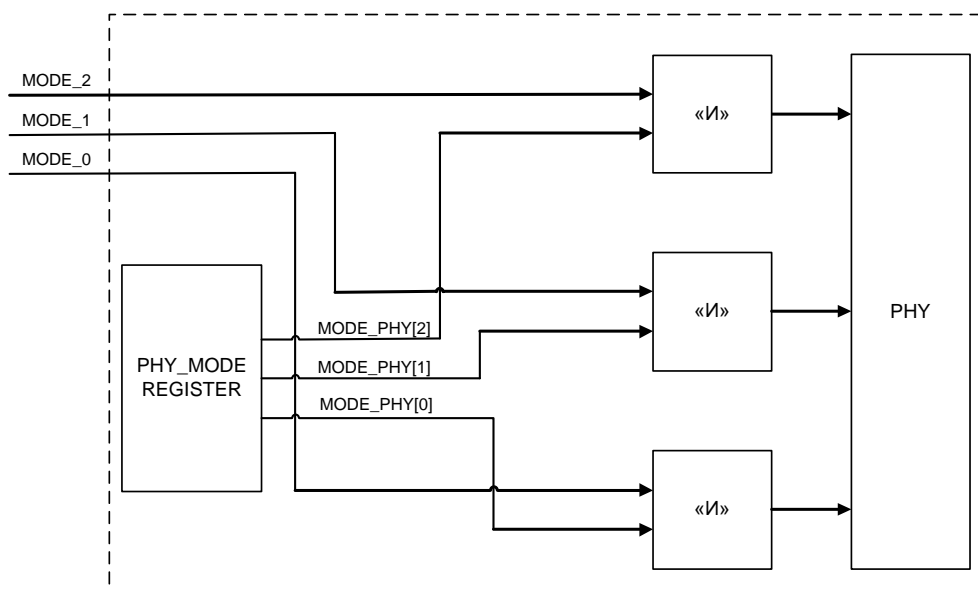


**Рисунок 4 – Формирование сигнала сброса**

### 5.2 Режимы работы микросхемы

Микросхема может функционировать на скорости 10 или 100 Мбит/сек в режимах полного дуплекса или полудуплекса, в режимах концентратора или коммутатора.

Управление режимом коммутации микросхемы может осуществляться при помощи внешнего вывода MODE3 или при помощи настройки масок ретрансляции портов. В режиме коммутатора адресация происходит на основе записей в таблице MAC-адресов. В режиме концентратора все принятые пакеты передаются на все порты микросхемы, кроме того, с которого пакет был принят.



**Рисунок 5 – Схема управления режимами работы блоков приемопередатчиков физического уровня**

Управление режимами работы микросхемы может быть осуществлено при помощи задания кода режима на внешних выводах MODE2, MODE1, MODE0 или при помощи внутренних регистров управления приемопередатчиками физического уровня PHY\_MODES12 и PHY\_MODES34. Внутри микросхемы коды режима с внешних выводов и с регистров управления объединены по «И» (см. рисунок 5). Управление с внешних выводов считывается в течение 1 мс после включения питания или вывода микросхемы из состояния сброса. Значение регистров в обоих случаях по умолчанию устанавливается в состояние «111» и не препятствует считыванию кода режима работы с внешних выводов. Напротив, полноценное управление режимами работы микросхемы при помощи регистров возможно, только если внешние выводы находятся в состоянии «111».

Значение управляющих кодов на внешних выводах микросхемы представлено ниже (таблица 2). Значение управляющих кодов регистров PHY\_MODESX представлено ниже (таблица 3).

Если значение выводов настройки и значение регистров установлено в «111», приемопередатчики физического уровня осуществляют автоматическое определение режима передачи данных. В этом случае при подключении блоков приемопередатчиков к линии происходит обмен сообщениями, в результате которого приемопередатчики на обоих концах линии автоматически настраиваются в одинаковый режим передачи данных.

При помощи управляющих регистров возможно задание индивидуального режима работы для каждого порта микросхемы, кроме дополнительно пятого порта. Для этого необходимо выполнить следующую последовательность действий:

- 1 Задать при помощи регистра PHY\_MODES необходимый режим работы приемопередатчиков в соответствии с таблицей ниже (таблица 2);
- 2 Выключить приемопередатчики при помощи битов программного сброса регистра PHY\_MODES. Запись в регистр может быть осуществлена одновременно с заданием режимов (см. п. 2);
- 3 Включить приемопередатчики при помощи битов программного сброса регистра PHY\_MODES.

После выполнения описанной последовательности действий, если осуществляется переход из жестко заданного режима в режим автоматического определения скорости

передачи данных на линии, порт начнет процесс автоподстройки, после окончания которой будет настроен на оптимальную скорость передач. Если происходит переход к жестко заданному режиму, порт будет готов к работе сразу после его включения.

**Таблица 2 – Коды задания режимов работы микросхемы на внешних выводах MODE3, MODE2, MODE1, MODE0**

MODE3	MODE2, MODE1, MODE0	Режим работы
0	000	<b>Концентратор</b> 10 Мбит/сек, полудуплекс
0	001	<b>Концентратор</b> 10 Мбит/сек, дуплекс
0	010	<b>Концентратор</b> 100 Мбит/сек, полудуплекс
0	011	<b>Концентратор</b> 100 Мбит/сек, дуплекс
0	100	Зарезервировано
0	101	Зарезервировано
0	110	Зарезервировано
0	111	<b>Концентратор</b> Автоматическое определение состояния несущей
1	000	<b>Коммутатор</b> 10 Мбит/сек, полудуплекс
1	001	<b>Коммутатор</b> 10 Мбит/сек, дуплекс
1	010	<b>Коммутатор</b> 100 Мбит/сек, полудуплекс
1	011	<b>Коммутатор</b> 100 Мбит, дуплекс
1	100	Зарезервировано
1	101	Зарезервировано
1	110	Зарезервировано
1	111	<b>Коммутатор</b> Автоматическое определение состояния несущей

**Таблица 3 – Коды задания режимов работы приемопередатчиков регистров PHY\_MODESXX**

MODEPHY_X[2:0]	Режим работы
000	10 Мбит/сек, полудуплекс
001	10 Мбит/сек, дуплекс
010	100 Мбит/сек, полудуплекс
011	100 Мбит/сек, дуплекс
100	Зарезервировано
101	Зарезервировано
110	Зарезервировано
111	Автоматическое определение состояния несущей

### 5.3 Блоки контроллеров канального уровня

В микросхеме содержится пять блоков ККУ. Каждый блок ККУ полностью соответствует стандарту IEEE 802.3/Ethernet и поддерживает работу в полно- и полудуплексном режимах (кроме ККУ пятого порта), прием и обработку пакетов,

обнаружение ошибок, в том числе верификацию контрольной суммы принятых пакетов и формирование пакетов для передачи в соответствии со стандартом.

Каждый блок ККУ разделен на приемный модуль и передающий модуль.

Приемный модуль отвечает за прием пакетов, проверку их целостности и контрольной суммы, передачу MAC-адресов блоку коммутации и информационной части пакета контроллеру доступа в ОЗУ пакетов.

Передающий модуль отвечает за считывание пакетов из ОЗУ пакетов, формирование пакета, обработку коллизий и поздних коллизий в соответствии со стандартом IEEE 802.3/Ethernet.

### Прием пакетов

При наличии свободного места в ОЗУ принятых пакетов приемные модули портов находятся в состоянии ожидания входящих пакетов. При получении сигнала о начале приема пакета от блока КФУ и завершении поля синхронизации начинается прием пакета.

Принятые данные передаются контроллеру доступа к ОЗУ и записываются в память. Если в процессе приема пакета произошла ошибка контрольной суммы, либо принятый пакет не удовлетворяет формату Ethernet пакетов, приемник переходит в режим ожидания, и память, занятая под уже принятые данные, считается свободной. Ретрансляция всех пакетов, в том числе и ошибочных, может быть включена при помощи бита ERR\_EN регистра MAC\_RX\_CTRL.

Обработка коллизии в режиме полудуплексной работы аналогична приему пакета с ошибкой, т.е. приемник прекращает прием до момента обнуления сигналов CRS и COL от приемопередатчика физического уровня, данные принятые до момента возникновения коллизии отбрасываются.

В процессе приема происходит разделение данных и управляющей информации пакета. Управляющая информация пакета хранится в специальных регистрах до полного приема пакета. Если пакет считается корректным, управляющая информация и информация о расположении пакета в ОЗУ пакетов передаются в модуль коммутации пакетов вместе с запросом на коммутацию.

После обработки пакета (пакет отброшен или передан на коммутацию), принимающий модуль ККУ переходит в режим ожидания следующего пакета.

### Передача пакетов

В случае успешного приема пакета и его коммутации с одним или несколькими портами микросхемы флаг готовности пакета для передачи, а также данные о его расположении в ОЗУ пакетов передаются на передающие модули ККУ портов, которым принятый пакет был предназначен.

На входах передатчика каждого порта реализована очередь передаваемых пакетов. В очереди могут одновременно храниться данные о четырех передаваемых пакетах. Если передатчик не успевает обработать передаваемые пакеты с той скоростью, с которой они на него поступают, самые старые пакеты отбрасываются, и место, которое они занимают в памяти, считается свободным. Такая ситуация может возникнуть в следующих случаях:

- одновременный поток данных с нескольких портов передается на один порт;
- поток порта, работающего на скорости 100 Мбит/сек, предназначается на порт, работающий со скоростью 10 Мбит/сек;
- в режиме полудуплекса, если среда передачи передающего порта перегружена.

Если в очереди передаваемых пакетов передающего модуля ККУ имеется одна или более записей, передатчик начинает формирование пакета для передачи. Первыми передаются преамбула и поле разделителя в соответствии со стандартом IEEE 802.3/Ethernet. Далее передаются адреса источника, назначения и поле длины/типа

пакета в том же порядке, в котором они были приняты. Далее передаются данные пакета и поле контрольной суммы.

В режиме работы в полудуплексе, в случае возникновения коллизии, определяется ее тип. Если это «поздняя» коллизия, пакет отбрасывается. Время, после которого коллизия считается «поздней», определяется регистром CollWindow. Если произошла обычная коллизия, передача пакета прерывается после выдерживания случайной паузы, передатчик делает еще одну попытку передать пакет. Количество попыток передачи пакета, после которых пакет отбрасывается, и передатчик переходит к следующему пакету, определяется полем RTY\_lim регистра MAC\_TX\_CTRL.

Максимальная и минимальная длины пакетов задаются регистрами MinFrame\_h, MinFrame\_l, MaxFrame\_h, MaxFrame\_l. В устройстве реализована возможность дополнения пакета нулевыми символами до минимального размера в том случае, если передаваемый пакет меньше. Данная возможность может быть настроена битом PAD\_EN регистра MAC\_TX\_CTRL. По умолчанию эта функция отключена.

При передаче двух и более пакетов подряд между пакетами выдерживается пауза, равная 9,6 мкс для 10 Мбит/сек и 0,96 мкс для 100 Мбит/сек. Время межпакетного интервала, выраженное в тактах рабочей частоты микросхемы (25 МГц), может быть настроено в регистрах IPG\_h и IPG\_l.

### **5.4 Блоки контроллеров физического уровня**

Модули КФУ стандарта IEEE 802.3/Ethernet способны обеспечивать прием и передачу данных в одном из следующих режимов:

- 10Base-T FD (full duplex – полный дуплекс);
- 10Base-T HD (half duplex – полудуплекс);
- 100Base-TX FD (full duplex – полный дуплекс);
- 100Base-TX HD (half duplex – полудуплекс).

В модулях реализована возможность автоматического определения состояния линии, обеспечивающая возможность согласования скорости и режима передачи данных с оппонентом и настройку модулей на оптимальный режим работы.

С помощью регистров блока управления и диагностики можно задать основные режимы работы модулей приемопередатчиков и осуществить их сброс. Описание регистров приведено в разделе «*Внутренние регистры микросхемы*». О режимах работы приемопередатчиков и возможностях управления ими более подробно см. раздел «*Режимы работы микросхемы*».

### **5.5 Таблица хранения MAC-адресов и ядро коммутатора**

Во время приема пакета MAC-адреса источника и назначения передаются в ядро коммутатора, который обновляет при необходимости таблицу коммутации и на основе имеющихся в ней данных принимает решение о коммутации принимаемого пакета. Так как MAC-адреса находятся в начале пакета, ядро коммутатора имеет возможность обрабатывать их во время приема пакета и не задерживать его ретрансляцию после завершения приема.

### **5.6 Ретрансляция принятых пакетов**

Первым обрабатывается адрес назначения. Вычислив хэш-функцию адреса, ядро коммутатора осуществляет поиск адреса назначения в соответствующей строке таблицы MAC-адресов:

- если такой адрес найден, ядро считывает данные о связанном с ним порте и, по завершении приема пакета, делает запись в очереди передаваемых пакетов соответствующего порта;
- если адрес не найден, запись делается в очередь передатчиков всех портов, таким образом, пакет будет отправлен на все порты, кроме того, с которого он был принят;
- если адрес назначения является широковещательным, пакет также будет отправлен на все остальные порты микросхемы.

Таким образом, в результате обработки пакета, принятого с одного из портов, формируется пятиразрядная маска-вектор ретрансляции коммутатора, в которой выставляется единица напротив портов, на которые необходимо ретранслировать принятый пакет. Например, если пакет принят с первого порта и коммутатор работает в режиме концентратора маска для принятого пакета примет значение «11110», т.е. пакет будет ретранслирован на все порты коммутатора, кроме первого. Если микросхема работает в режиме коммутатора, и в таблице найдена запись, указывающая, что этот пакет должен быть ретранслирован на третий порт, то маска примет значение «00100».

Для более гибкой настройки коммутации в устройстве реализован механизм задания пользовательских масок «AND» и «OR». Значения, хранящиеся в регистрах пользовательских масок «AND» и «OR», объединяются с внутренними масками соответствующих портов побитно по «И» и «ИЛИ» соответственно. При этом объединение по «ИЛИ» является более приоритетным. Таким образом, если маска «AND» для порта равна «00000», то пакеты, принятые по данному порту, не будут ретранслированы никому. Если маски «AND» и «OR» для порта равны «00000» и «11111» соответственно, пакеты, принятые по данному порту, будут ретранслированы на все порты, в том числе и на него самого.

Если, например, стоит задача ретранслировать на пятый порт пакеты, приходящие на все остальные порты, достаточно в регистры масок «OR» для портов с первого по четвертый (регистры PN1\_mask\_OR, PN2\_mask\_OR, PN3\_mask\_OR, PN4\_mask\_OR) записать значения «10000». Тогда, для всех принятых пакетов с портов 1 – 4 внутренняя маска ретрансляции, объединенная по «ИЛИ» со значением, хранящимся в соответствующем регистре, приведет к тому, что для всех принятых пакетов в пятом разряде маски ретрансляции будет содержаться «1», что обеспечит их ретрансляцию на пятый порт, дополнительно к значению, определенному ядром коммутатора.

### **5.6.1 Обновления записей MAC-таблицы**

После обработки адреса назначения и коммутации принятого пакета ядро коммутации начинает обработку адреса источника. Ядро пытается найти адрес источника в соответствующей хэш-функции адреса строке таблицы MAC-адресов. Если такой адрес уже существует в таблице, ядро коммутатора обновляет его счетчик старения. Если адреса в таблице еще нет, ядро делает запись в свободной ячейке соответствующей строки таблицы, после чего переходит к ожиданию следующего пакета. Если все ячейки строки уже заняты, перезаписывается самая старая ячейка. Доступ со стороны портов к таблице может быть запрещен при помощи регистра MAC\_RAM\_WE. В этом случае обновления таблицы со стороны портов происходить не будет, и, если таблица в этот момент пуста, коммутатор, не находя соответствующих записей в таблице, будет ретранслировать все принятые пакеты на все порты устройства, кроме тех, с которых они были приняты.

### **5.6.2 Счетчики старения и блок очистки записей**

Кроме ядра коммутатора доступ к таблице имеет также блок очистки старых записей. При включении питания блок очистки ОЗУ адресов очищает ОЗУ адресов от случайных значений. С очисткой ОЗУ адресов связана задержка выхода микросхемы в рабочий режим после включения питания или сброса на время около 700 мкс. Функция очистки памяти может быть отключена при помощи бита MAC\_CLR\_EN регистра AGE\_CONTROL\_0, что позволит уменьшить время выхода микросхемы в рабочий режим после программного сброса.

В рабочем режиме блок очистки записей циклически проверяет всю таблицу с первого адреса до последнего, инкрементирует счетчики старения для всех активных записей таблицы и удаляет те записи, время жизни которых истекло. При помощи бита MAC\_AGE\_INC\_EN можно запретить инкремент счетчиков старения, а с помощью бита MAC\_AGE\_DEL\_EN можно запретить удаление записей, счетчики старения которых достигли максимального значения. Максимальное значение определяется полем MAC\_AGE\_LIMIT регистров AGE\_CONTROL\_1 и AGE\_CONTROL\_0. Минимальное время обработки одной записи в таблице адресов составляет два такта рабочей частоты. Данное время может быть увеличено при помощи регистра DELAY\_LIM по формуле

$$\text{Время доступа} = 2 + \text{DELAY\_LIM}.$$

Эта функция позволяет дополнительно увеличить время жизни записей в таблице адресов, сократив частоту доступа к ним и, соответственно, частоту обновления их счетчиков старения.

По умолчанию среднее время жизни одной записи составляет около 1 с.

### **5.6.3 Доступ к таблице адресов со стороны СПИУ**

Для более гибкой настройки таблицы MAC-адресов в изделии реализована возможность создавать пользовательскую таблицу путем записи в ОЗУ адресов со стороны СПИУ.

Ширина одной записи в таблице MAC-адресов 64 бита.

Формат записи в таблице: {PORT\_NUM, VALID, OLD\_CNT, MAC}, где

PORT\_NUM – номер порта, соответствующего MAC адресу, 3 бита.

VALID – флаг активности записи. Для активных записей, воспринимаемых ядром коммутатора флаг активности записи должен быть равен «1», 1 бит.

OLD\_CNT – счетчик старения, 12 бит.

MAC – MAC-адрес, 48 бит.

Для записи в ОЗУ адресов необходимо:

- 1 Заполнить регистры RAM\_DATA1...8 значениями в соответствии с форматом записей таблицы адресов;
- 2 Заполнить поле адреса (RAM\_ADDR, регистры RAM\_CONTROL\_0 и RAM\_CONTROL\_1), по которому необходимо произвести запись;
- 3 Выбрать память, в которую необходимо произвести запись (бит DATApMAC). Запись возможна как в память адресов, так и в память данных (пакетов). Для записи в память адресов необходимо установить бит DATApMAC в 0;
- 4 Установить бит SPI\_RAM\_WE регистра RAM\_CONTROL\_0 в состояние, соответствующее транзакции записи («1»);
- 5 Установить бит SPI\_EN регистра RAM\_CONTROL\_0 в «1». Данный бит разрешает транзакцию записи. По окончании транзакции данные будут записаны в память по указанному адресу, а бит SPI\_EN обнулен. Не



рекомендуется производить какие-либо действия с интерфейсом до обнуления бита SPI\_EN.

Для чтения из ОЗУ адресов необходимо:

- 1 Заполнить поле адреса (RAM\_ADDR, регистры RAM\_CONTROL\_0 и RAM\_CONTROL\_1), по которому необходимо произвести чтение.
- 2 Выбрать память, из которой необходимо произвести чтение (бит DATA<sub>n</sub>MAC). Чтение возможно как из памяти адресов, так из памяти данных (пакетов). Для чтения из памяти адресов необходимо установить бит DATA<sub>n</sub>MAC в 0.
- 3 Установить бит SPI\_RAM\_WE регистра RAM\_CONTROL\_0 в состояние, соответствующее транзакции чтения («0»).
- 4 Установить бит SPI\_EN регистра RAM\_CONTROL\_0 в «1». Данный бит разрешает транзакцию. По окончании транзакции данные, содержащиеся по указанному адресу, будут записаны в регистры RAM\_DATA1...8., а бит SPI\_EN обнулен. Не рекомендуется производить какие-либо действия с интерфейсом до обнуления бита SPI\_EN.

### 5.6.4 HASH-функция и структура памяти адресов

Для ускоренного поиска MAC-адресов в памяти адресов записи в таблицу выполняются в поле, соответствующем HASH-функции адреса. HASH-функция имеет разрядность 8 бит и вычисляется как объединение по XOR побитно всех шести байт адреса. В каждом поле содержится 8 ячеек для записи адресов. При поиске записей, соответствующих MAC-адресу назначения, в таблице перебираются только те ячейки, которые находятся в поле HASH-функции, соответствующей MAC-адресу.

Чтобы при коммутации ретранслируемых пакетов записанный пользователем адрес воспринимался верно, необходимо вычислить HASH-функцию адреса и сделать запись в одну из свободных ячеек соответствующего поля.

#### Пример

Допустим, что MAC-адрес 0x123456789ABC соответствует порту 1.

Тогда, для того чтобы все пакеты, имеющие адрес назначения 0x123456789ABC, ретранслировались именно на первый порт, необходимо:

- 1 Представить адрес в виде MAC1 = 0xBC9A78563412 (вызвано архитектурными особенностями устройства);
- 2 Вычислить HASH-функцию адреса как:  

$$\text{HASH1} = 0x12 \wedge 0x34 \wedge 0x56 \wedge 0x78 \wedge 0x9A \wedge 0xBC = 0x2E;$$
- 3 Сформировать слово, которое необходимо записать в память:

Название поля	№ порта передачи	Бит активности записи	Счетчик старения	MAC-адрес
Биты поля	63:61	60	59:48	47:0
Значение поля	Порт1:000 Порт2:001 Порт3:010 Порт4:011 Порт5:100	1 – запись активна; 0 – запись неактивна	0x000 – запись «молодая» 0xFFFF – запись «старая»	MAC-адрес в формате п.1
Значение поля для приведенного примера	000	1	0x000	0xBC9A78563412

В результате получим 64-х разрядное слово 0x1000BC9A78563412;

4 Сформировать 11-разрядный адрес для записи слова:

Название поля	HASH функция	№ ячейки
Биты поля	10:3	2:0
Значение поля для приведенного примера	0x2E	Можно выбрать любую свободную, например 111

В результате получим адрес: 0x177;

5 Записать полученное слово по соответствующему адресу при помощи интерфейса СПИУ.

### 5.7 Выводы индикации

Для контроля состояния линии и работы блоков приемопередатчиков в микросхеме реализовано 16 выводов индикации, по четыре на каждый порт, имеющий блок КФУ.

В таблице ниже (таблица 4) представлено значение каждого вывода индикации. Выводы обозначены как LINKX\_Y, где X – номер вывода индикации, Y – номер порта.

**Таблица 4 – Описание назначения выводов индикации микросхемы**

Вывод устройства	Функция
LINK1_Y	Индикация скорости работы 0 – 100 Мбит/сек 1 – 10 Мбит/сек
LINK2_Y	Индикация наличия оппонента на противоположном конце линии: 0 – к линии подключено Ethernet устройство; 1 – Ethernet устройство на противоположном конце линии отсутствует
LINK3_Y	Индикация наличия несущей в линии: 0 – на линии ведется прием данных (для полудуплексных режимов индицируется также передача); 1 – на линии передача данных отсутствует
LINK4_Y	Индикация режима работы: 0 – полный дуплекс; 1 – полудуплекс

### 5.8 Порт расширения микросхемы

Для обеспечения возможности объединения двух микросхем в один 8-портовый коммутатор в микросхеме реализован дополнительный порт, из состава которого исключен КФУ, а обмен данными происходит посредством цифрового интерфейса MII. Значение выводов интерфейса MII представлено в таблице ниже (таблица 5).

**Таблица 5 – Описание выводов интерфейса MII**

Обозначение	Тип вывода	Функциональное назначение
TXD3, TXD2, TXD1, TXD0	О	Выходы передаваемых данных
TXEN	О	Выход сигнала разрешения передачи: 0 – нет данных для передачи; 1 – на выводах TXD корректные данные для передачи
TXER	О	Выход сигнала ошибки, в текущей ревизии не используется
TXCLK	I	Вход синхросигнала передатчика
RXD3, RXD2, RXD1, RXD0	I	Входы принимаемых данных

Обозначение	Тип вывода	Функциональное назначение
RXDV	I	Вход флага готовности данных на входе: 0 – нет принятых; 1 – на выводах RXD корректные принятые данные
RXER	I	Вход сигнала ошибки приемника
RXCLK	I	Вход синхросигнала приемника
COL	I	Вход коллизии: 0 – нет коллизии; 1 – произошла коллизия
CRS	I	Вход флага наличия информации на линии: 0 – нет передачи данных; 1 – идет передача данных

Реализованный в микросхеме интерфейс полностью соответствует спецификации интерфейса MII стандарта IEEE 802.3/Ethernet, что позволяет подключать к порту внешний приемопередатчик физического уровня и использовать его в качестве пятого порта коммутации.

Данные передаются и принимаются полубайтами по переднему фронту соответствующего синхросигнала при условии наличия сигналов TXEN или RXDV, соответственно.

В соответствии со стандартом сигналы RXCLK и TXCLK должны быть внешними по отношению к контроллеру канального уровня. Для корректной работы ККУ порта расширения необходимо подавать на входы RXCLK и TXCLK синхросигнал частотой 25 МГц. В случае использования внешней микросхемы приемопередатчика физического уровня синхросигналы вырабатываются приемопередатчиками. В случае использования пятого порта в качестве порта расширения синхросигнал для тактирования выводов RXCLK и TXCLK можно использовать или с вывода CLK\_OUT, на который всегда выводится стабильная частота 25 МГц, или непосредственно с внешнего источника частоты. При этом частота на выводы RXCLK и TXCLK обеих микросхем, объединенных при помощи порта расширения должна быть одинаковой. В разделе «Типовые схемы включения» представлены типовая схема включения микросхемы с внешней микросхемой PHY (рисунок 12), схема включения в случае использования пятого порта в качестве порта расширения для объединения двух микросхем (рисунок 13).

Если пятый порт расширения микросхемы используется как пятый порт, с подключенным к нему внешним приемопередатчиком физического уровня, сигнал CRS должен выставляться во время приема пакета в полном дуплексе, а во время приема и передачи в полудуплексе. Сигнал COL должен быть установлен со стороны внешнего приемопередатчика физического уровня при условии наличия коллизии на линии передачи.

При объединении двух микросхем через порт расширения выводы TX\_EN и CRS должны быть перекрестно заведены на выводы RX\_DV и CRS противоположных микросхем (TX\_EN одной на CRS другой и наоборот). Выводы COL обеих микросхем должны быть подтянуты к низкому потенциалу.

При объединении микросхем в 8-портовый коммутатор следует учесть, что время задержки ретрансляции пакета для режима работы 100 Мбит/сек увеличится вдвое, для режима 10 Мбит/сек – увеличится на время ретрансляции пакета между микросхемами.

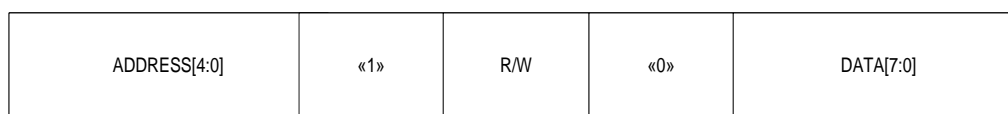
## **5.9 Синхронный последовательный интерфейс управления (СПИУ)**

Для управления режимом работы приемопередатчиков и блока коммутации ретрансляции в микросхеме реализован контроллер СПИУ. Т.к. блок контроллера СПИУ работает на внешней частоте SCLK, осуществлять доступ к регистрам возможно даже при отключенном синхросигнале на входе OSC\_IN.

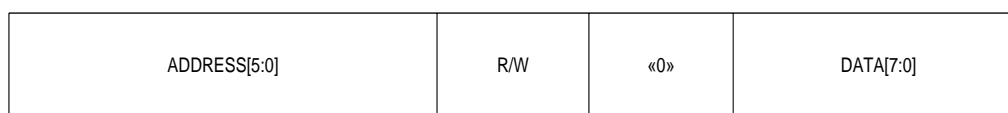
Управление, прием и передача данных осуществляются по четырем выводам:

- вывод синхросигнала SCLK;
- вывод разрешения транзакции CS;
- вывод принимаемых микросхемой данных SDI и передаваемых данных SDO.

Транзакции производятся 16-битными кадрами. Формат кадра транзакции представлен на рисунке ниже (рисунок 6).



a)



b)

**Рисунок 6 – Формат 16-битной транзакции по интерфейсу SSP**  
а) микросхемы первой ревизии  
б) микросхемы, начиная со второй ревизии

Первый байт транзакции включает адрес обращения и признак чтения или записи. Для микросхем первой ревизии сначала передается 5-битный адрес старшим битом вперед, после чего следует логическая «1», затем передается признак «запись/чтение», далее следует обязательный «0». В том случае, если поля «1» и «0» будут иметь другие значения, транзакция считается ошибочной и обрабатываться не будет (рисунок 6а). Вследствие увеличения количества регистров в микросхемах второй и последующих ревизий была увеличена разрядность адресного пространства до 6 бит. В управляющем байте транзакции первым передается 6-ти битный адрес, старшим битом вперед, далее следует признак «запись/чтение», после чего следует обязательный «0» (рисунок 6б).

Второй, передаваемый в устройство байт, – это данные, последовательно загружаемые/выгружаемые старшим битом вперед.

Для начала транзакции необходимо опустить сигнал CS в ноль, далее по срезу сигнала SCLK необходимо побитно передать восемь бит данных контрольного байта и передать/принять 8 бит байта данных. После передачи 16-битной транзакции сигнал CS должен быть установлен в состояние «1» для возврата контроллера интерфейса в начальное состояние.

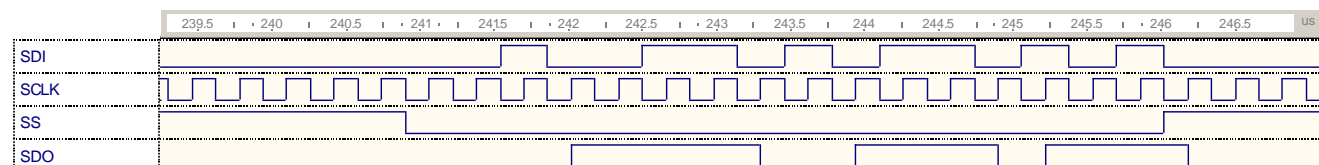
При сигнале CS, установленном в состояние «1», вывод SDO будет находиться в состоянии последнего считанного бита или в состоянии «0», если чтений еще не было.

В случае, если в контрольном байте признак записи в регистр установлен в «1», данные, принятые на входе SDI во втором байте транзакции, будут записаны в регистр по адресу, указанному в контрольном байте. Вместе с этим, на вывод SPI\_SDO будет последовательно выгружено предыдущее значение регистра. Вывод данных на SPI\_SDO осуществляется по фронтам сигнала SCLK для первой и второй ревизий микросхемы, и по срезам для третьей ревизии и всех последующих.

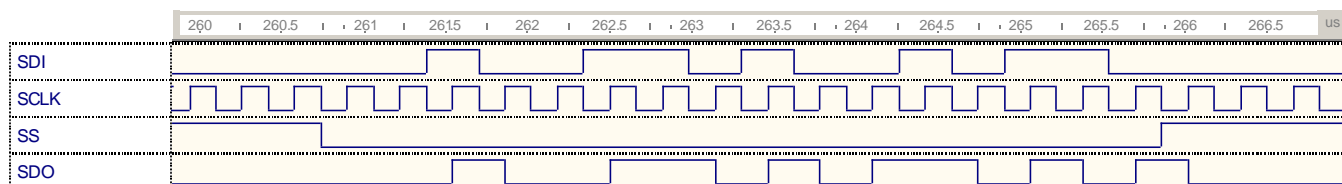
Если признак чтение/запись контрольного слова установлен в «0», данные второго байта транзакции на входе SDI восприняты не будут, при этом на вывод SDO будет выгружено текущее значение регистра. Диаграммы чтения и записи в устройство представлены на соответствующих рисунках (рисунок 7, рисунок 8, рисунок 9 и рисунок 10).

Структурно блок контроллера интерфейса состоит из управляющей части, содержащей регистр контрольного байта, и регистра принимаемых данных/передаваемых

данных. Каждый такт синхросигнала SCLK последовательно принимаемые данные задвигаются в регистр контрольного байта. После того, как 8 бит контрольного байта приняты, на основании адреса в сдвиговый регистр данных загружается текущее значение требуемого регистра. Далее в сдвиговый регистр последовательно загружаются биты, принимаемые на входе SDI, а на выход значение SDO побитно выгружается текущее значение сдвигового регистра. По завершению приема/передачи восьмого бита данных, если установлен признак записи в контрольном слове, данные задвинутые в сдвиговый регистр данных записываются в регистр.

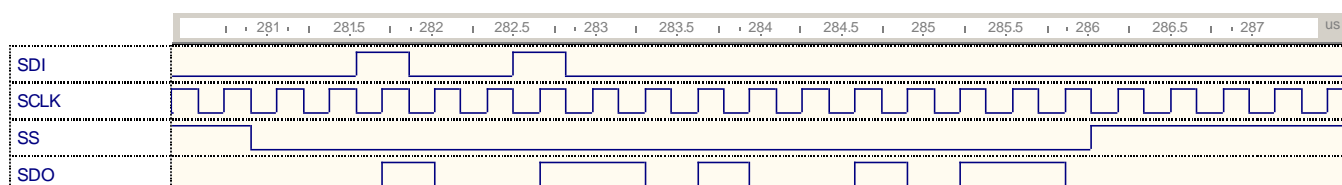


а)

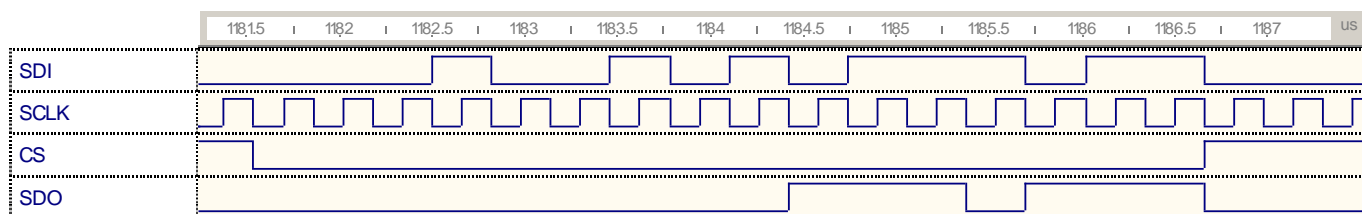


б)

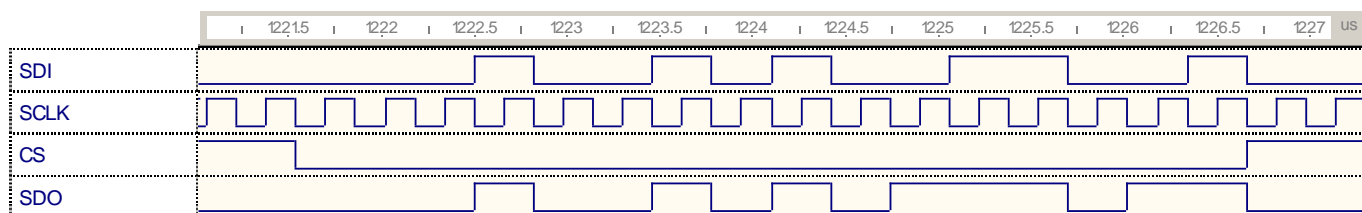
**Рисунок 7 – Диаграмма записи по адресу 0x04  
а) значения 0b10110101; б) значения 0b10010110.  
Предполагается, что запись (б) выполняется сразу после записи (а)**



**Рисунок 8 – Диаграмма чтения из регистра по адресу 0x04 значения 0b10010110**

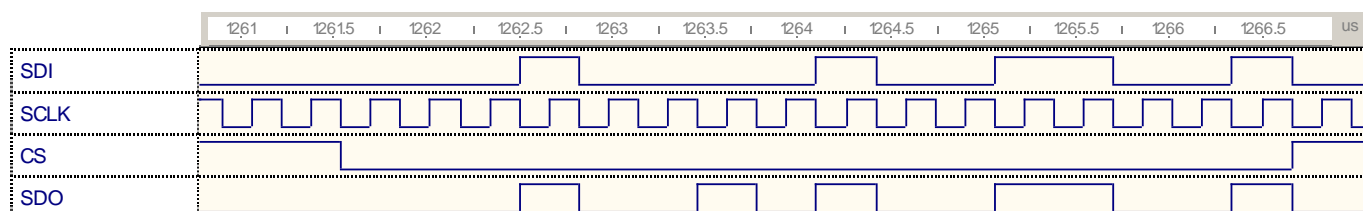


а)



б)

**Рисунок 9 – Диаграмма записи по адресу 0x04 для микросхем третьей ревизии  
а) значения 0b10111011; б) значения 0b10011001.  
Предполагается, что запись (б) выполняется сразу после записи (а)**



**Рисунок 10 – Чтение из регистра по адресу 0x04 значения 0b10011001 для микросхем третьей ревизииЗ**

### 5.10 Внутренние регистры микросхемы

Регистры доступные для записи/чтения в составе модулей приемопередатчиков физического уровня и адреса доступа к ним, представлены в таблице ниже (таблица 6). Регистр CONTROL отвечает за общее управление микросхемой, регистр STATUS позволяет получить информацию о работе микросхемы. В настоящей реализации в регистре STATUS доступен только бит готовности генератора синхросигналов. Регистры PHY\_MODES реализованы для управления режимами работы приемопередатчиков физического уровня.

**Таблица 6 – Адреса доступа и назначение регистров СБИС**

Номер регистра	Базовый адрес	Название	Значение по умолчанию	Доступ	Описание
1	0x01	CONTROL	0x00	R/W	Регистр общего управления 1
2	0x02	STATUS	0x00	R	Регистр состояния 1
3	0x03	Зарезервировано	0x0F	-----	Зарезервировано
4	0x04	PHY_MODES_12	0x77	R/W	Управление режимами работы PHY 1 и 2
5	0x05	Зарезервировано	0x00	-----	Зарезервировано
6	0x06	Зарезервировано	0x00	-----	Зарезервировано
7	0x07	Зарезервировано	0x00	-----	Зарезервировано
8	0x08	Зарезервировано	0x00	-----	Зарезервировано
9	0x09	Зарезервировано	0x00	-----	Зарезервировано
10	0x0A	Зарезервировано	0x00	-----	Зарезервировано
11	0x0B	PHY_MODES_34	0x77	R/W	Управление режимами работы PHY 3 и 4
12	0x0C	Зарезервировано	0x00	-----	Зарезервировано
13	0x0D	Зарезервировано	0x00	-----	Зарезервировано
14	0x0E	Зарезервировано	0x00	-----	Зарезервировано
15	0x0F	Зарезервировано	0x00	-----	Зарезервировано
16	0x10	Зарезервировано	0x00	-----	Зарезервировано
17	0x11	Зарезервировано	0x00	-----	Зарезервировано
18	0x12	Зарезервировано	0x00	-----	Зарезервировано
19	0x13	RAM_DATA_1	0x00	R/W	1-й байт данных для записи во внутренне ОЗУ
20	0x14	RAM_DATA_2	0x00	R/W	2-й байт данных для записи во внутренне ОЗУ
21	0x15	RAM_DATA_3	0x00	R/W	3-й байт данных для записи во внутренне ОЗУ
22	0x16	RAM_DATA_4	0x00	R/W	4-й байт данных для записи во внутренне ОЗУ
23	0x17	RAM_DATA_5	0x00	R/W	5-й байт данных для записи во внутренне ОЗУ

## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

Номер регистра	Базовый адрес	Название	Значение по умолчанию	Доступ	Описание
24	0x18	RAM_DATA_6	0x00	R/W	6-й байт данных для записи во внутренне ОЗУ
25	0x19	RAM_DATA_7	0x00	R/W	7-й байт данных для записи во внутренне ОЗУ
26	0x1A	RAM_DATA_8	0x00	R/W	8-й байт данных для записи во внутренне ОЗУ
27	0x1B	RAM_CONTROL_0	0x00	R/W	Управление записью данных для записи / Старшая часть адреса записи во внутренние ОЗУ
28	0x1C	RAM_CONTROL_1	0x00	R/W	Младшая часть адреса записи во внутренние ОЗУ
29	0x1D	AGE_CONTROL_0	0xEF	R/W	Регистр управления очисткой записей и задания старшей части максимального значения счетчика старения записей таблицы MAC-адресов
30	0x1E	AGE_CONTROL_1	0xFF	R/W	Регистр задания младшей части максимального значения счетчика старения записей таблицы MAC-адресов
31	0x1F	AGE_CONTROL_2	0x00	R/W	Регистр задания периода обновления счетчиков старения записей таблицы MAC-адресов
32	0x20	MAC_RAM_WE_en	0x1F	R/W	Регистр разрешения обновления записей в таблице MAC-адресов со стороны портов
33	0x21	PN1_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов с первого канала
34	0x22	PN2_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов со второго канала
35	0x23	PN3_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов с третьего канала
36	0x24	PN4_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов с четвертого канала
37	0x25	PN5_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов с пятого канала
38	0x26	PN1_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов с первого канала
39	0x27	PN2_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов со второго канала
40	0x28	PN3_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов с третьего канала
41	0x29	PN4_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов с четвертого канала

## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

Номер регистра	Базовый адрес	Название	Значение по умолчанию	Доступ	Описание
42	0x2A	PN5_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов с пятого канала
43	0x2B	IPG_h	0x00	R/W	Регистр задания старшей части времени межпакетного интервала
44	0x2C	IPG_l	0x45	R/W	Регистр задания младшей части времени межпакетного интервала
45	0x2D	MAC_TX_CTRL	0xA0	R/W	Управление передачей
46	0x2E	CollWindow	0x1F	R/W	Регистр управления временем распознавания коллизий
47	0x2F	MAC_RX_CTRL	0x01	R/W	Управление приемом
48	0x30	MinFrame_h	0x00	R/W	Задание минимально-возможной длины кадра (старшая часть)
49	0x31	MinFrame_l	0x14	R/W	Задание минимально-возможной длины кадра (младшая часть)
50	0x32	MaxFrame_h	0x08	R/W	Задание максимально-возможной длины кадра (старшая часть)
51	0x33	MaxFrame_l	0x00	R/W	Задание максимально-возможной длины кадра (младшая часть)
52	0x34	Зарезервировано	0x00	-----	Зарезервировано
53	0x35	Зарезервировано	0x00	-----	Зарезервировано
54	0x36	Зарезервировано	0x00	-----	Зарезервировано
55	0x37	Зарезервировано	0x00	-----	Зарезервировано
56	0x38	Зарезервировано	0x00	-----	Зарезервировано
57	0x39	Зарезервировано	0x00	-----	Зарезервировано
58	0x3A	Зарезервировано	0x00	-----	Зарезервировано
59	0x3B	Зарезервировано	0x00	-----	Зарезервировано
60	0x3C	Зарезервировано	0x00	-----	Зарезервировано
61	0x3D	Зарезервировано	0x00	-----	Зарезервировано
62	0x3E	Зарезервировано	0x00	-----	Зарезервировано
63	0x3F	Зарезервировано	0x00	-----	Зарезервировано

### 5.10.1 Регистр CONTROL (доступ осуществляется при ADDRESS == 0x01)

Таблица 7 – Описание бит регистра CONTROL

№	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений	Режим	Знач. по умолч.
7	HSE_BYP	Управление режимом работы генератора: 0 – нормальный режим работы (работа с внешним резонатором или генератором); 1 – сквозной режим работы (работа с внешним генератором)	RW	0
6	PORT5_DIS	Выключение порта расширения MII (порт №5): 0 – порт расширения MII включен. (Режим работы 100 Мбит/сек, полный дуплекс); 1 – порт расширения MII выключен	RW	0
5	Зарезервировано	Зарезервировано	-----	-----



## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

4	CLR_CALK_EN	Разрешение добавления контрольной суммы в конец передаваемых пакетов: 0 – запрещено; 1 – разрешено	RW	0
3..1	Зарезервировано	Зарезервировано	-----	-----
0	SW_RST	Сброс устройства: 0 – устройство работает в штатном режиме; 1 – устройство сброшено	RW	0

### 5.10.2 Регистр STATUS (доступ осуществляется при ADDRESS = 0x02)

Таблица 8 – Описание бит регистра STATUS

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	HSE_RDY	Признак готовности встроенного генератора в режим: 0 – генератор выключен или не готов; 1 – генератор работает	RO	0
6..0	Зарезервировано	Зарезервировано		

### 5.10.3 Регистр FD\_MODE5 (доступ осуществляется при ADDRESS == 0x03)

Таблица 9 – Описание бит регистра FD\_MODE5

Бит	Наименование	Описание	Режим	Знач. по умолч.
8..5	Зарезервировано	Зарезервировано	RW	000
4	FD_MODE5	Режим работы порта 5: 0 – режим полудуплекса. Передачи не происходит во время приема; 1 – режим полного дуплекса	RW	0
3..0	Зарезервировано	Зарезервировано. Необходимо записывать как 1111	RW	1111

### 5.10.4 Регистр PHY\_MODES12 (доступ осуществляется при ADDRESS = 0x04)

Таблица 10 – Описание бит регистра PHY\_MODES12

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	RST_PHY_2	Сброс приемопередатчика физического уровня 2: 0 – приемопередатчик работает; 1 – приемопередатчик находится в состоянии сброса	RW	0
6..4	MODE_PHY_2	Режим работы приемопередатчика физического уровня 2 (таблица 3)	RW	111
3	RST_PHY_1	Сброс приемопередатчика физического уровня 1. 0 – приемопередатчик работает; 1 – приемопередатчик находится в состоянии сброса	RW	0
2..0	MODE_PHY_1	Режим работы приемопередатчика физического уровня 1 (таблица 2)	RW	111

**5.10.5 Регистр PHY\_MODES34 (доступ осуществляется при ADDRESS = 0x0B)**

**Таблица 11 – Описание бит регистра PHY\_MODES34**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	RST_PHY_4	Сброс приемопередатчика физического уровня 4: 0 – приемопередатчик работает; 1 – приемопередатчик находится в состоянии сброса	RW	0
6..4	MODE_PHY_4	Режим работы приемопередатчика физического уровня 2 (таблица 3)	RW	111
3	RST_PHY_3	Сброс приемопередатчика физического уровня 3: 0 – приемопередатчик работает; 1 – приемопередатчик находится в состоянии сброса	RW	0
2..0	MODE_PHY_3	Режим работы приемопередатчика физического уровня 3 (таблица 3)	RW	111

**5.10.6 Регистр RAM\_DATA\_1 (доступ осуществляется при ADDRESS = 0x13)**

**Таблица 12 – Описание бит регистра RAM\_DATA\_1**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_1	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 1-й (младший) байт	RW	0x00

**5.10.7 Регистр RAM\_DATA\_2 (доступ осуществляется при ADDRESS = 0x14)**

**Таблица 13 – Описание бит регистра RAM\_DATA\_2**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_2	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 2-й байт	RW	0x00

**5.10.8 Регистр RAM\_DATA\_3 (доступ осуществляется при ADDRESS = 0x15)**

**Таблица 14 – Описание бит регистра RAM\_DATA\_3**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_3	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 3-й байт	RW	0x00

**5.10.9 Регистр RAM\_DATA\_4 (доступ осуществляется при ADDRESS = 0x16)**

**Таблица 15 – Описание бит регистра RAM\_DATA\_4**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_4	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 4-й байт	RW	0x00

**5.10.10 Регистр RAM\_DATA\_5 (доступ осуществляется при ADDRESS = 0x17)**

**Таблица 16 – Описание бит регистра RAM\_DATA\_5**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_5	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 5-й байт	RW	0x00

**5.10.11 Регистр RAM\_DATA\_6 (доступ осуществляется при ADDRESS = 0x18)**

**Таблица 17 – Описание бит регистра RAM\_DATA\_6**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_5	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 6-й байт	RW	0x00

**5.10.12 Регистр RAM\_DATA\_7 (доступ осуществляется при ADDRESS = 0x19)**

**Таблица 18 – Описание бит регистра RAM\_DATA\_7**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_7	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 7-й байт	RW	0x00

**5.10.13 Регистр RAM\_DATA\_8 (доступ осуществляется при ADDRESS = 0x1A)**

**Таблица 19 – Описание бит регистра RAM\_DATA\_8**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_8	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 8-й (старший) байт	RW	0x00

**5.10.14 Регистр RAM\_CONTROL\_0 (доступ осуществляется при ADDRESS = 0x1B)**

**Таблица 20 – Описание бит регистра RAM\_CONTROL\_0**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	SPI_EN	Бит разрешения транзакции по SPI. В момент завершения транзакции данный бит очищается	RW	0
6	SPI_RAM_WE	Бит управления записью/чтением: 0 – в результате выполнения транзакции в регистры RAM_DATA8..1 будут записаны данные, считанные из ОЗУ по адресу RAM_ADDR; 1 – в результате выполнения транзакции будет выполнена запись данных в регистрах RAM_DATA8..1 в ОЗУ по адресу RAM_ADDR	RW	0
5	DATA <sub>n</sub> MAC	Бит выбора памяти адресов/данных: 0 – обращение в память адресов; 1 – обращение в память пакетов	RW	0
4	-----	Зарезервировано	-----	0
3..0	RAM_ADDR[11:8]	Старшая часть адреса ОЗУ для записи/чтения данных	RW	0x0

**5.10.15 Регистр RAM\_CONTROL\_1 (доступ осуществляется при ADDRESS = 0x1C)**

**Таблица 21 – Описание бит регистра RAM\_CONTROL\_1**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_ADDR[7:0]	Младшая часть адреса ОЗУ для записи/чтения данных	RW	0x00

**5.10.16 Регистр AGE\_CONTROL\_0 (доступ осуществляется при ADDRESS = 0x1D)**

**Таблица 22 – Описание бит регистра AGE\_CONTROL\_0**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	MAC_AGE_DEL_EN	Бит разрешения очистки записей в таблице MAC-адресов по достижению счетчиком старения значения MAC_AGE_LIMIT: 0 – запрещено; 1 – разрешено	RW	1
6	MAC_AGE_INC_EN	Бит разрешения инкремента счетчиков старения в записях памяти MAC-адресов: 0 – запрещено; 1 – разрешено	RW	1
5	MAC_CLR_EN	Бит разрешения очистки памяти MAC-адресов после сброса: 0 – запрещено; 1 – разрешено	RW	1

## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

4	-----	Зарезервировано	-----	0
3..0	MAC_AGE_LIMIT[11:8]	Старшая часть максимального значения счетчика старения в памяти MAC-адресов, по достижению которого запись удаляется из ОЗУ	RW	0xF

### 5.10.17 Регистр AGE\_CONTROL\_1 (доступ осуществляется при ADDRESS = 0x1E)

**Таблица 23 – Описание бит регистра AGE\_CONTROL\_1**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MAC_AGE_LIMIT[7:0]	Младшая часть максимального значения счетчика старения в памяти MAC-адресов, по достижению которого запись удаляется из ОЗУ	RW	0xFF

### 5.10.18 Регистр AGE\_CONTROL\_2 (доступ осуществляется при ADDRESS = 0x1F)

**Таблица 24 – Описание бит регистра AGE\_CONTROL\_2**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	DELAY_LIM[7:0]	Значение задержки инкремента/удаления каждой записи памяти MAC-адресов: 0x00 – на одну запись требуется 2 такта; 0x01 – на одну запись требуется 3 такта; 0xFF – на одну запись требуется 257 тактов	RW	0x00

### 5.10.19 Регистр MAC\_RAM\_WE (доступ осуществляется при ADDRESS = 0x20)

**Таблица 25 – Описание бит регистра MAC\_RAM\_WE**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	RW	0x00
4	MAC5_RAM_WE	Бит разрешения записи в таблицу MAC-адресов со стороны порта 5	RW	1
3	MAC4_RAM_WE	Бит разрешения записи в таблицу MAC-адресов со стороны порта 4	RW	1
2	MAC3_RAM_WE	Бит разрешения записи в таблицу MAC-адресов со стороны порта 3	RW	1
1	MAC2_RAM_WE	Бит разрешения записи в таблицу MAC-адресов со стороны порта 2	RW	1
0	MAC1_RAM_WE	Бит разрешения записи в таблицу MAC-адресов со стороны порта 1	RW	1

**5.10.20 Регистр PN1\_mask\_AND (доступ осуществляется при ADDRESS = 0x21)**

**Таблица 26 – Описание бит регистра PN1\_mask\_AND**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	-----	0x7
4..0	PN1_mask_AND	Регистр AND маски ретрансляции порта 1	RW	0x1F

**5.10.21 Регистр PN2\_mask\_AND (доступ осуществляется при ADDRESS = 0x22)**

**Таблица 27 – Описание бит регистра PN2\_mask\_AND**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	-----	0x7
4..0	PN2_mask_AND	Регистр AND маски ретрансляции порта 2	RW	0x1F

**5.10.22 Регистр PN3\_mask\_AND (доступ осуществляется при ADDRESS = 0x23)**

**Таблица 28 – Описание бит регистра PN3\_mask\_AND**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	-----	0x7
4..0	PN3_mask_AND	Регистр AND маски ретрансляции порта 3	RW	0x1F

**5.10.23 Регистр PN4\_mask\_AND (доступ осуществляется при ADDRESS = 0x24)**

**Таблица 29 – Описание бит регистра PN4\_mask\_AND**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	-----	0x7
4..0	PN4_mask_AND	Регистр AND маски ретрансляции порта 4	RW	0x1F

**5.10.24 Регистр PN5\_mask\_AND (доступ осуществляется при ADDRESS = 0x25)**

**Таблица 30 – Описание бит регистра PN5\_mask\_AND**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	-----	0x7
4..0	PN5_mask_AND	Регистр AND маски ретрансляции порта 5	RW	0x1F

**5.10.25 Регистр PN1\_mask\_OR (доступ осуществляется при ADDRESS = 0x26)**

**Таблица 31 – Описание бит регистра PN1\_mask\_OR**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN1_mask_AND	Регистр OR маски ретрансляции порта 1	RW	0x00

**5.10.26 Регистр PN2\_mask\_OR (доступ осуществляется при ADDRESS = 0x27)**

**Таблица 32 – Описание бит регистра PN2\_mask\_OR**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN2_mask_AND	Регистр OR маски ретрансляции порта 2	RW	0x00

**5.10.27 Регистр PN3\_mask\_OR (доступ осуществляется при ADDRESS = 0x28)**

**Таблица 33 – Описание бит регистра PN3\_mask\_OR**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN3_mask_AND	Регистр OR маски ретрансляции порта 3	RW	0x00

**5.10.28 Регистр PN4\_mask\_OR (доступ осуществляется при ADDRESS = 0x29)**

**Таблица 34 – Описание бит регистра PN4\_mask\_OR**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN4_mask_AND	Регистр OR маски ретрансляции порта 4	RW	0x00

**5.10.29 Регистр PN5\_mask\_OR (доступ осуществляется при ADDRESS = 0x2A)**

**Таблица 35 – Описание бит регистра PN5\_mask\_OR**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN5_mask_AND	Регистр OR маски ретрансляции порта 5	RW	0x00

**5.10.30 Регистр IPG\_h (доступ осуществляется при ADDRESS == 0x2B)**

**Таблица 36 – Описание бит регистра IPG\_h**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	IPG_h	Старшая часть межпакетного интервала	RW	0x00

**5.10.31 Регистр IPG\_l (доступ осуществляется при ADDRESS == 0x2C)**

**Таблица 37 – Описание бит регистра IPG\_l**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	IPG_l	Младшая часть межпакетного интервала	RW	0x45

**5.10.32 Регистр MAC\_TX\_CTRL (доступ осуществляется при ADDRESS == 0x2D)**

**Таблица 38 – Описание бит регистра MAC\_TX\_CTRL**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..4	RTY_lim	Максимальное количество попыток передачи пакета в случае возникновения коллизии	RW	0xA
3..1	Зарезервировано	Зарезервировано	-----	0x0
0	PAD_EN	Разрешение дополнения коротких пакетов нулевыми значениями до минимальной длины: 0 – запрещено; 1 – разрешено	RW	0

**5.10.33 Регистр CollWindow (доступ осуществляется при ADDRESS == 0x2E)**

**Таблица 39 – Описание бит регистра CollWindow**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	CollWindow	Допустимое время коллизии от начала пакета	RW	0x1F

**5.10.34 Регистр MAC\_RX\_CTRL (доступ осуществляется при ADDRESS == 0x1F)**

**Таблица 40 – Описание бит регистра MAC\_RX\_CTRL**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..1	Зарезервировано	Зарезервировано	-----	0x00
0	ERR_EN	Запрещение ретрансляции пакетов с ошибками: 0 – разрешено; 1 – запрещено	RW	1



**5.10.35 Регистр MinFrame\_h (доступ осуществляется при ADDRESS == 0x30)**

**Таблица 41 – Описание бит регистра MinFrame\_h**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MinFrame_h	Старшая часть минимального размера пакета	RW	0x00

**5.10.36 Регистр MinFrame\_l (доступ осуществляется при ADDRESS == 0x31)**

**Таблица 42 – Описание бит регистра MinFrame\_l**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MinFrame_l	Младшая часть минимального размера пакета	RW	0x00

**5.10.37 Регистр MaxFrame\_h (доступ осуществляется при ADDRESS == 0x32)**

**Таблица 43 – Описание бит регистра MaxFrame\_h**

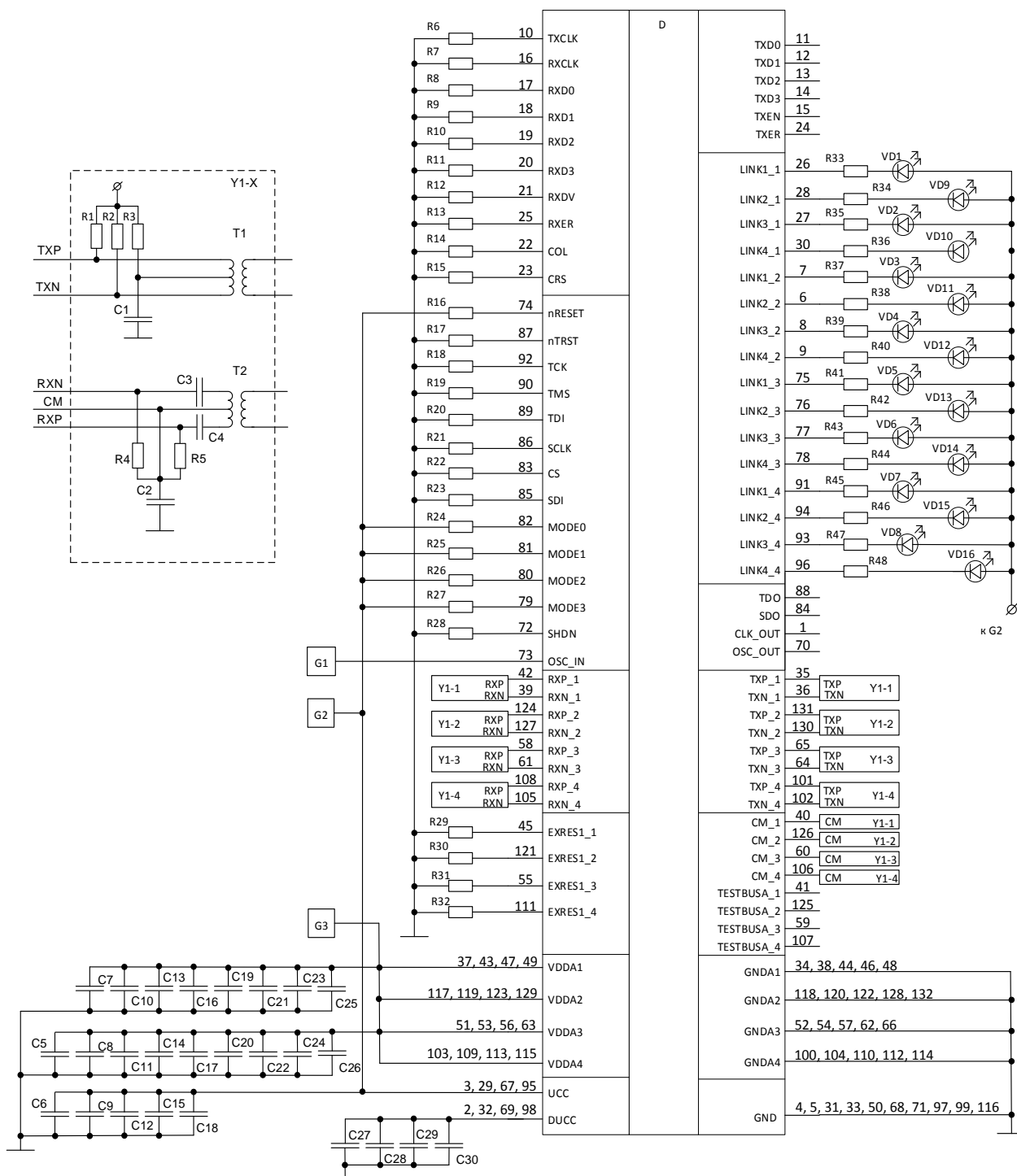
Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MaxFrame_h	Старшая часть максимального размера пакета	RW	0x00

**5.10.38 Регистр MaxFrame\_l (доступ осуществляется при ADDRESS == 0x33)**

**Таблица 44 – Описание бит регистра MaxFrame\_l**

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MaxFrame_l	Старшая часть минимального размера пакета	RW	0x00

## 6 Типовые схемы включения

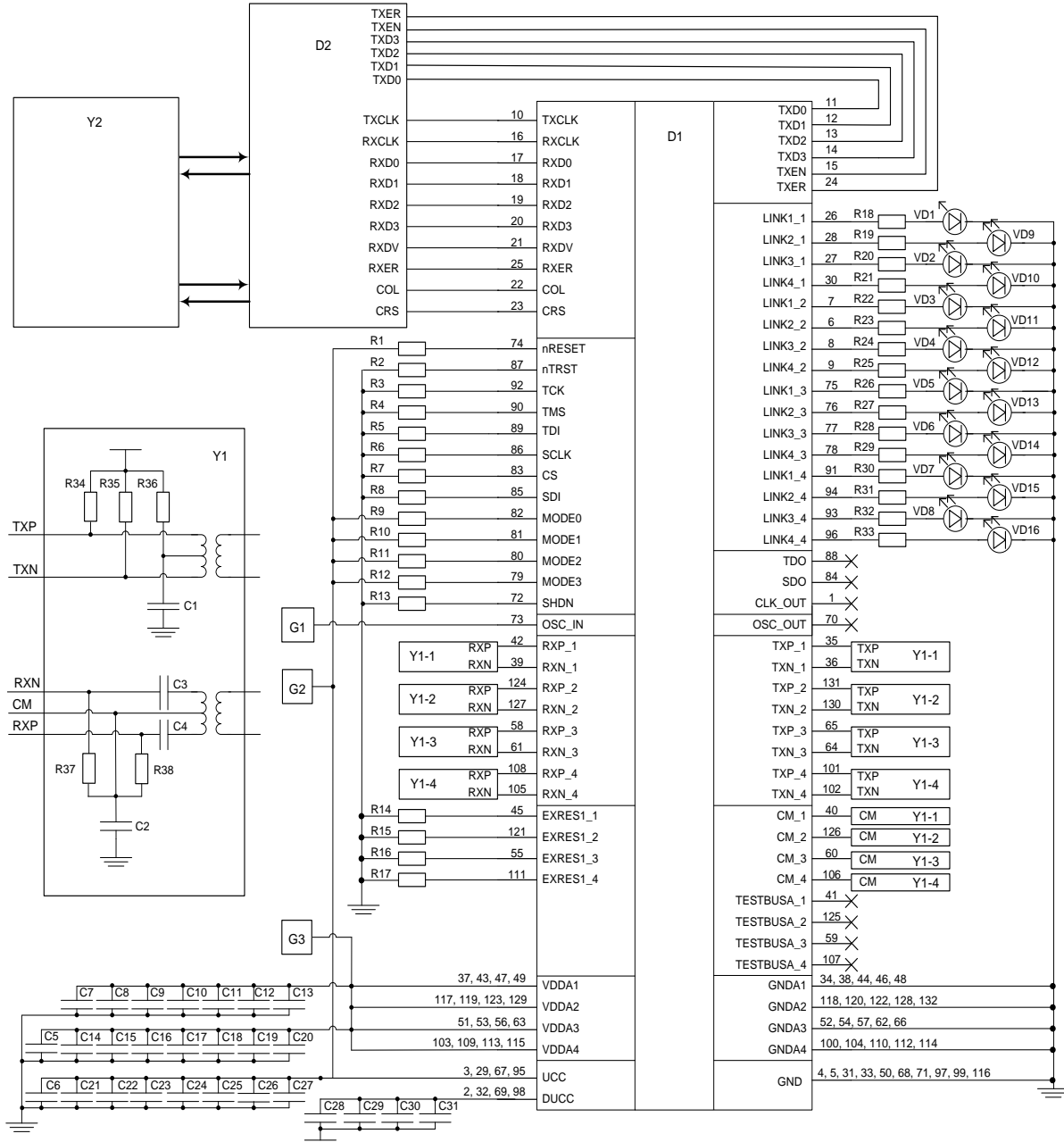


- D – микросхема 5600BB3Т;  
 G1 – источник прямоугольных импульсов, 25 МГц;  
 G2, G3 – источники напряжения питания,  $(3,3 \pm 0,3)$  В;  
 C1 – конденсатор емкостью 22 нФ  $\pm 10$  %;  
 C2 – конденсатор емкостью 10 нФ  $\pm 10$  %;  
 C3, C4 – конденсаторы емкостью 6,8 нФ  $\pm 10$  %;  
 C5, C6 – конденсаторы емкостью 33 мкФ  $\pm 10$  %;  
 C7 – C30 – конденсаторы емкостью 0,1 мкФ  $\pm 10$  %, максимально близко к каждому выводу;

Рисунок 11 – Типовая схема включения микросхем

Продолжение рисунка 11

- R1, R2, R4, R5 – резисторы сопротивлением 49,9 Ом ± 1 %;
- R3 – резистор сопротивлением 10 Ом ± 1 %;
- R6 – R28 – резисторы сопротивлением 47 кОм ± 1 %;
- R33 – R48 – резисторы сопротивлением 270 Ом ± 5 %;
- R29 – R32 – резисторы сопротивлением 12,4 кОм ± 1 %;
- T1 – T2 – трансформаторы;
- VD1 – VD16 – светодиоды;
- Y1-1 – Y1-4 – элементы схемы



- C1 – C31 – конденсаторы емкостью:
- C1 = 22 нФ ± 10 %;
  - C2 = 10 нФ ± 10 %;
  - C3 = C4 = 6,8 нФ ± 10 %;
  - C5 = C6 = 33 мкФ ± 10 %;
  - C7 – C31 = 0,1 мкФ ± 10 %;

**Рисунок 12 – Типовая схема включения микросхем с использованием порта расширения в качестве дополнительного порта коммутации**

## Продолжение рисунка 12

D1 – микросхема 5600BB3Т;

D2 – микросхема приемопередатчика физического уровня, удовлетворяющая стандарту IEEE/802.3;

Y2 – Схема подключения приемопередатчика физического уровня, удовлетворяющая стандарту IEEE/802.3 к линии передач в соответствии со спецификацией на микросхему D2;

G1 – источник периодического сигнала 25 МГц;

G2, G3 – источники постоянного напряжения, 3,3 В;

R1 – R38 – резисторы сопротивлением:

R1 – R13 = 47 кОм ± 10 %;

R14 – R17 = 12,4 кОм ± 1 %;

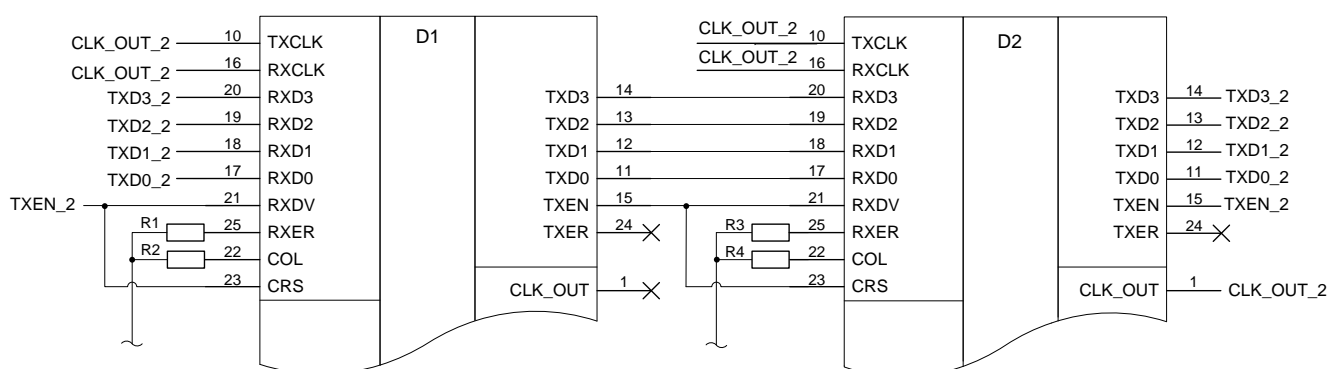
R18 – R33 = 270 Ом ± 5 %;

R34 = R35 = 49,9 Ом ± 1 %;

R36 = 10 Ом ± 1 %;

R37 = R38 = 49,9 Ом ± 1 %;

VD1 – VD16 – светодиоды



D1, D2 – микросхемы 5600BB3Т;

R1 – R4 – резисторы сопротивлением 47 кОм ± 10 %;

**Примечание** – Остальные выводы микросхем подключаются в соответствии с рисунком D – микросхема 5600BB3Т;

G1 – источник прямоугольных импульсов, 25 МГц;

G2, G3 – источники напряжения питания, (3,3 ± 0,3) В;

C1 – конденсатор емкостью 22 нФ ± 10 %;

C2 – конденсатор емкостью 10 нФ ± 10 %;

C3, C4 – конденсаторы емкостью 6,8 нФ ± 10 %;

C5, C6 – конденсаторы емкостью 33 мкФ ± 10 %;

C7 – C30 – конденсаторы емкостью 0,1 мкФ ± 10 %, максимально близко к каждому выводу;

## Рисунок 11 – Типовая схема включения микросхем

### Продолжение рисунка 11

R1, R2, R4, R5 – резисторы сопротивлением 49,9 Ом ± 1 %,

R3 – резистор сопротивлением 10 Ом ± 1 %;

R6 – R28 – резисторы сопротивлением 47 кОм ± 1 %;

R33 – R48 – резисторы сопротивлением 270 Ом ± 5 %;

R29 – R32 – резисторы сопротивлением 12,4 кОм ± 1 %;

T1 – T2 – трансформаторы;

VD1 – VD16 – светодиоды;

Y1-1 – Y1-4 – элементы схемы

## Рисунок 13 – Типовая схема объединения двух микросхем

## 7 Электрические параметры микросхемы

**Таблица 45 – Таблица электрических параметров микросхемы**

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное опорное напряжения, В, – на аналоговых выходах: EXRES1_1, EXRES1_2, EXRES1_3, EXRES1_4	$U_{O(PHY)}$	1,14	1,34	25, 85, – 60
Выходное напряжение высокого уровня, В, – на выходах: TDO, SDO, CLK_OUT, TXD0, TXD1, TXD2, TXD3, TXEN, TXER, LINK1_1, LINK2_1, LINK3_1, LINK4_1, LINK1_2, LINK2_2, LINK3_2, LINK4_2, LINK1_3, LINK2_3, LINK3_3, LINK4_3, LINK1_4, LINK2_4, LINK3_4, LINK4_4;	$U_{OH}$	2,4	–	25, 85, – 60
Выходное напряжение низкого уровня, В, – на выходах: TDO, SDO, CLK_OUT, TXD0, TXD1, TXD2, TXD3, TXEN, TXER, LINK1_1, LINK2_1, LINK3_1, LINK4_1, LINK1_2, LINK2_2, LINK3_2, LINK4_2, LINK1_3, LINK2_3, LINK3_3, LINK4_3, LINK1_4, LINK2_4, LINK3_4, LINK4_4;	$U_{OL}$	–	0,4	25, 85, – 60
Ток утечки высокого уровня, мкА, – на входах: TXCLK, RXCLK, COL, CRS, RXD0, RXD1, RXD2, RXD3, RXDV, RXER, nRESET, TCK, TMS, TDI, nTRST, SCLK, CS, SDI, MODE0, MODE1, MODE2, MODE3; – на входе OSC_IN – на входе SHDN	$I_{LH}$	–	10  40 200	25, 85, – 60
Ток утечки низкого уровня, мкА, – на входах: TXCLK, RXCLK, COL, CRS, RXD0, RXD1, RXD2, RXD3, RXDV, RXER, nRESET, TCK, TMS, TDI, nTRST, SCLK, CS, SDI, MODE0, MODE1, MODE2, MODE3; – на входе OSC_IN – на входе SHDN	$I_{LL}$	минус 10  минус 40 минус 10	–  – –	25, 85, – 60
Статический ток потребления, мА, по выводам UCC, VDDA1, VDDA2, VDDA3, VDDA4 суммарно	$I_{CC}$	–	100	25, 85, – 60
Динамический ток потребления, мА, по выводам UCC, VDDA1, VDDA2, VDDA3, VDDA4 суммарно	$I_{OCC}$	–	500	25, 85, – 60

## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Тактовая частота блоков РНУ, МГц	F_pll	124,375	125,625	25, 85, – 60

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

## 8 Предельно-допустимые характеристики микросхем

**Таблица 46 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем**

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В, на выводах UCC	U <sub>CC</sub>	3,0	3,6	–	3,9
Напряжение питания цифровой части при использовании внешнего источника питания, В, на выводах DUCC	U <sub>CCD</sub>	1,62	1,98	–	2,2
Напряжение источника питания приемопередатчиков PHY, В, на выводах VDDA1, VDDA2, VDDA3, VDDA4	U <sub>CCPHY</sub> *	3,0	3,6	–	3,9
Входное напряжение высокого уровня, В:  - на цифровых входах TXCLK, RXCLK, COL, CRS, RXD0, RXD1, RXD2, RXD3, RXDV, RXER, nRESET, TCK, TMS, TDI, nTRST, SCLK, CS, MODE0, MODE1, MODE2, MODE3, SDI, SHDN;  - на входе OSC_IN при HSE_BYP = «1»	U <sub>IH</sub>	2,0	U <sub>CC</sub>	–	U <sub>CC</sub> + 0,3
Входное напряжение низкого уровня, В:  - на цифровых входах TXCLK, RXCLK, COL, CRS, RXD0, RXD1, RXD2, RXD3, RXDV, RXER, nRESET, TCK, TMS, TDI, nTRST, SCLK, CS, MODE0, MODE1, MODE2, MODE3, SDI, SHDN;  - на входе OSC_IN при HSE_BYP = «1»	U <sub>IL</sub>	0	0,8	– 0,3	–
Выходной ток высокого уровня, мА: - на цифровых выходах: TDO, SDO, CLK_OUT, TXD0, TXD1, TXD2, TXD3, TXEN, TXER, LINK1_1, LINK2_1, LINK3_1, LINK4_1, LINK1_2, LINK2_2, LINK3_2, LINK4_2, LINK1_3, LINK2_3, LINK3_3, LINK4_3, LINK1_4, LINK2_4, LINK3_4, LINK4_4  - на выводах: TXP_1 и TXN_1, TXP_2 и TXN_2, TXP_3 и TXN_3, TXP_4 и TXN_4	I <sub>OH</sub>	– 4	–	– 8	–
		– 22	–	–	–

## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
<p>Выходной ток низкого уровня, мА:</p> <p>- на цифровых выходах: TDO, SDO, CLK_OUT, TXD0, TXD1, TXD2, TXD3, TXEN, TXER, LINK1_1, LINK2_1, LINK3_1, LINK4_1, LINK1_2, LINK2_2, LINK3_2, LINK4_2, LINK1_3, LINK2_3, LINK3_3, LINK4_3, LINK1_4, LINK2_4, LINK3_4, LINK4_4</p> <p>- на выводах: TXP_1 и TXN_1, TXP_2 и TXN_2, TXP_3 и TXN_3, TXP_4 и TXN_4</p>	I <sub>OL</sub>	–	4	–	8
<p>Тактовая частота на входе OSC_IN при работе с внешним генератором **, МГц</p>	f <sub>c</sub>	24,995	25,005	–	–
<p>Емкость нагрузки на цифровых выходах, пФ</p>	C <sub>L</sub>	–	30	–	–
<p>* Напряжение на выводах VDDA относительно общих выводов GNDA, не должно отличаться от U<sub>cc</sub> на более чем ± 0,2 В.</p> <p>** При работе с внешним резонатором использовать резонатор с частотой (25 ± 0,005) МГц.</p> <p>Примечание – Не допускается одновременное воздействие двух и более предельных режимов</p>					



## 9 Справочные данные

Справочные параметры микросхемы приведены в таблице 47.

Значения предельно-допустимых одиночных импульсов напряжения (ОИН) приведены в таблице 48.

**Таблица 47 – Справочные параметры**

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное дифференциальное напряжение Ethernet передатчика, В, при скорости 100 Мбит/с - на выводах: TXP_1 и TXN_1, TXP_2 и TXN_2, TXP_3 и TXN_3, TXP_4 и TXN_4	UOD(PHY)	0,8	–	25, 85, – 60
Выходное дифференциальное напряжение Ethernet передатчика, В, при скорости 10 Мбит/с - на выводах: TXP_1 и TXN_1, TXP_2 и TXN_2, TXP_3 и TXN_3, TXP_4 и TXN_4	UOD1(PHY)	4,4	5,6	25, 85, – 60
Напряжение срабатывания схемы формирования общего сброса, В	UPOR	1,5	1,6	25, 85, – 60
Выходное напряжение стабилизатора напряжения LDO 018 на выводах DUCC, В при SHDN= «0»	UO_LDO	1,62	1,98	25, 85, – 60
Ток срабатывания защиты от перегрузки стабилизатора напряжения LDO 018 на выводах DUCC, мА	ISHORT	300	500	25, 85, – 60
Ток нагрузки стабилизатора напряжений LDO 018, мА	ILDO	–	500	25, 85, – 60

**Таблица 48 – Предельно-допустимые значения ОИН**

Тип вывода	Длительность ОИН, мкс	
	1,0 мкс	
	Предельно-допустимое напряжение ОИН, В	Предельно-допустимая энергия ОИН, мДж
Входы	200	$4,3 \cdot 10^{-1}$
Выходы	100	$1,1 \cdot 10^{-1}$
Цепь питания	1750	35

10 Типовые зависимости

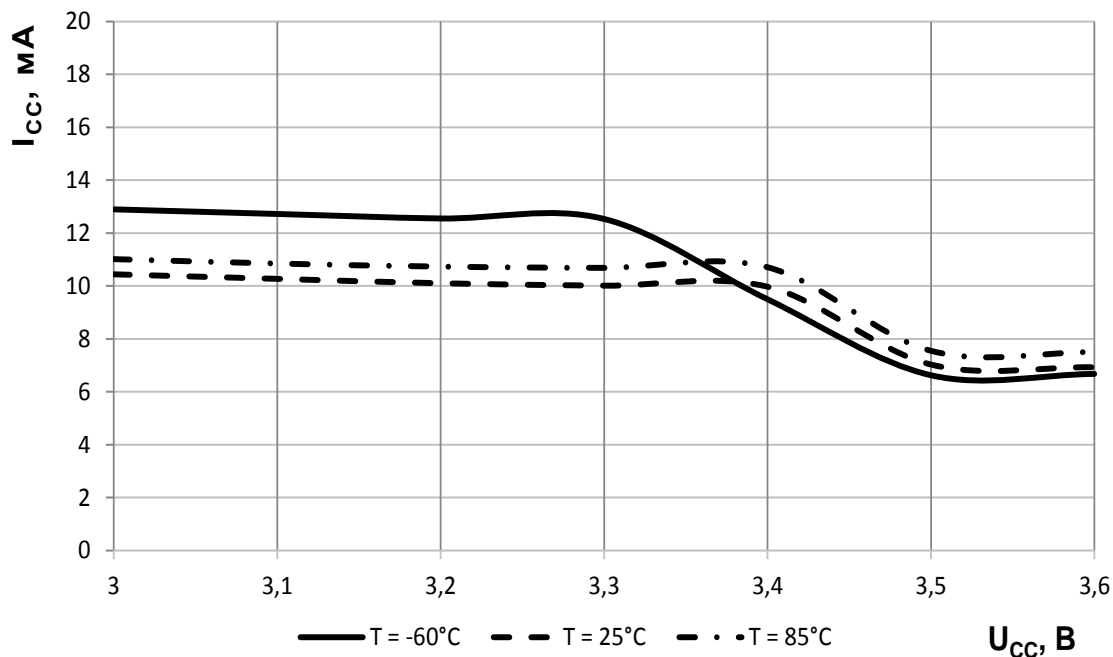


Рисунок 14 – Зависимость статического тока потребления от напряжения источника питания на выводах UCC

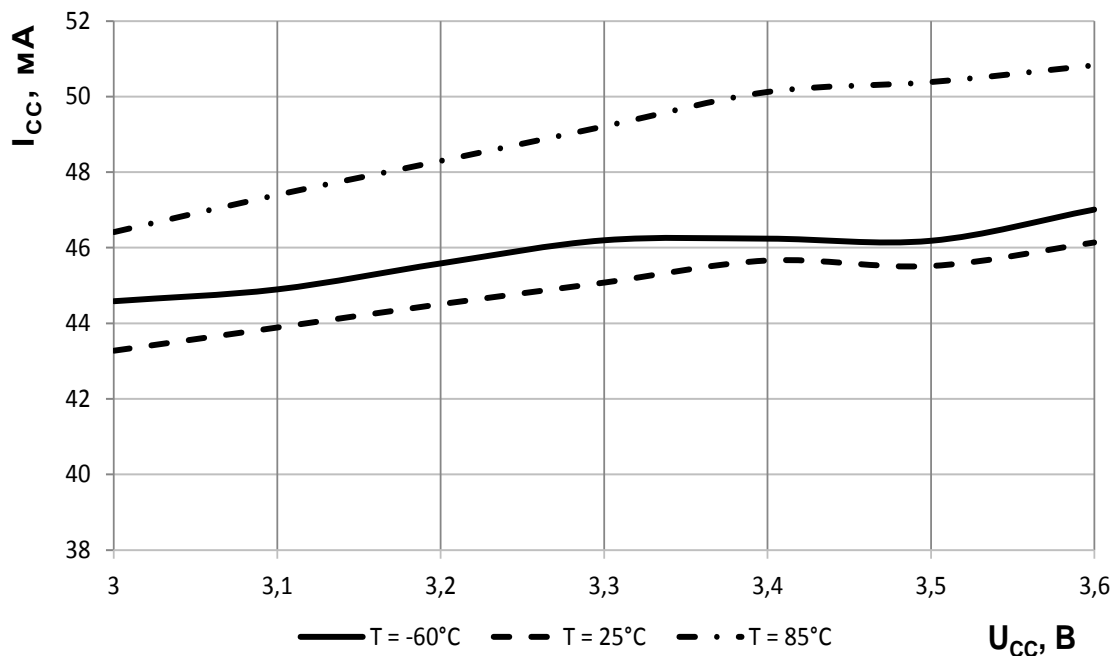


Рисунок 15 – Зависимость статического тока потребления от напряжения источника питания на выводах VDDA

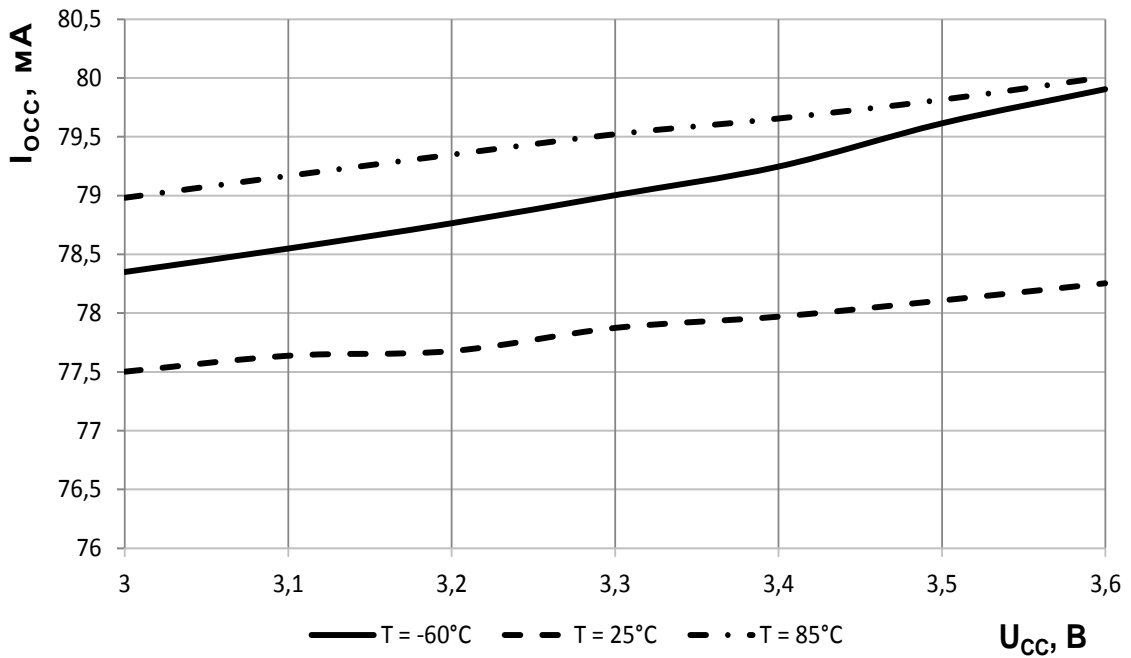


Рисунок 16 – Зависимость динамического тока потребления от напряжения источника питания на выводах  $U_{СС}$

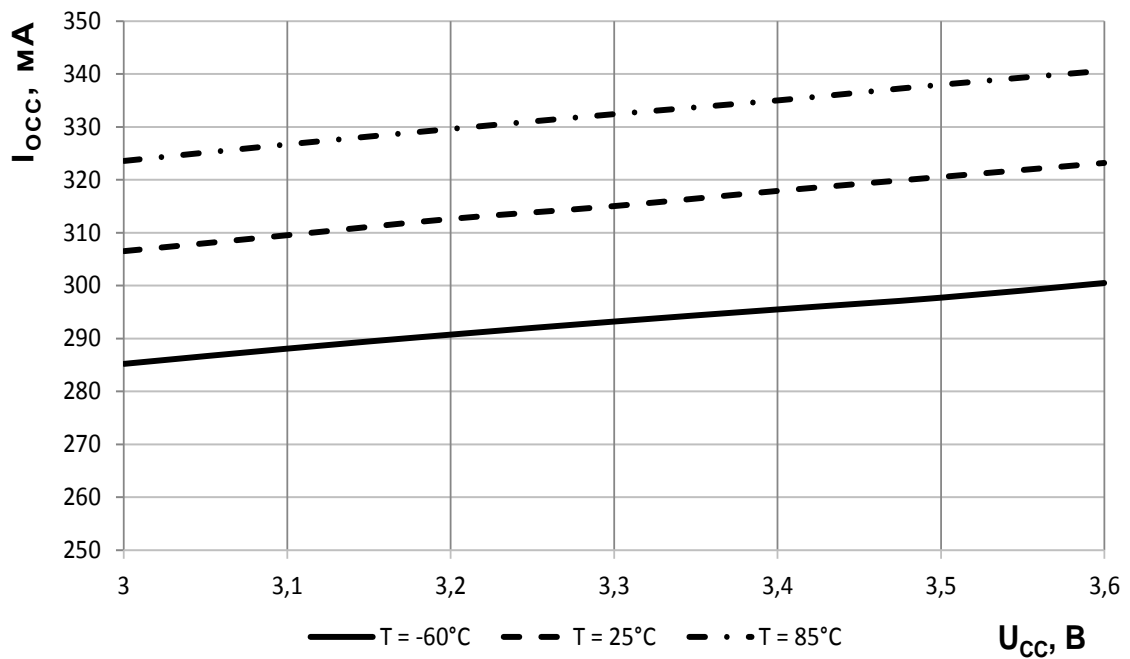


Рисунок 17 – Зависимость динамического тока потребления от напряжения источника питания на выводах  $V_{DDA}$

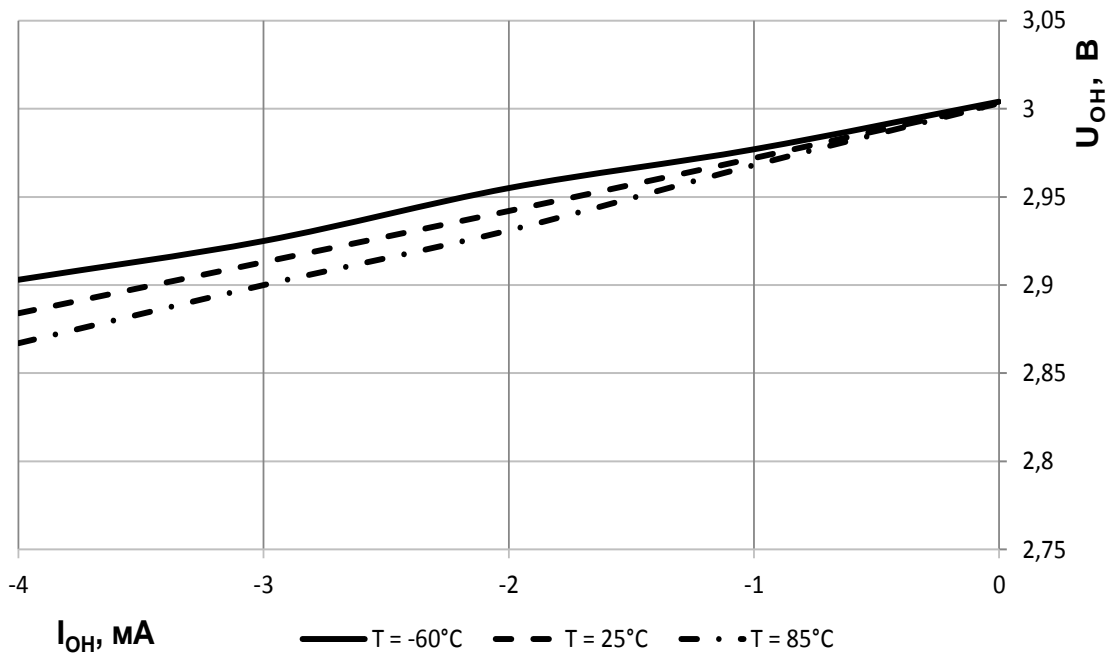


Рисунок 18 – Зависимость выходного напряжения высокого уровня от выходного тока высокого уровня

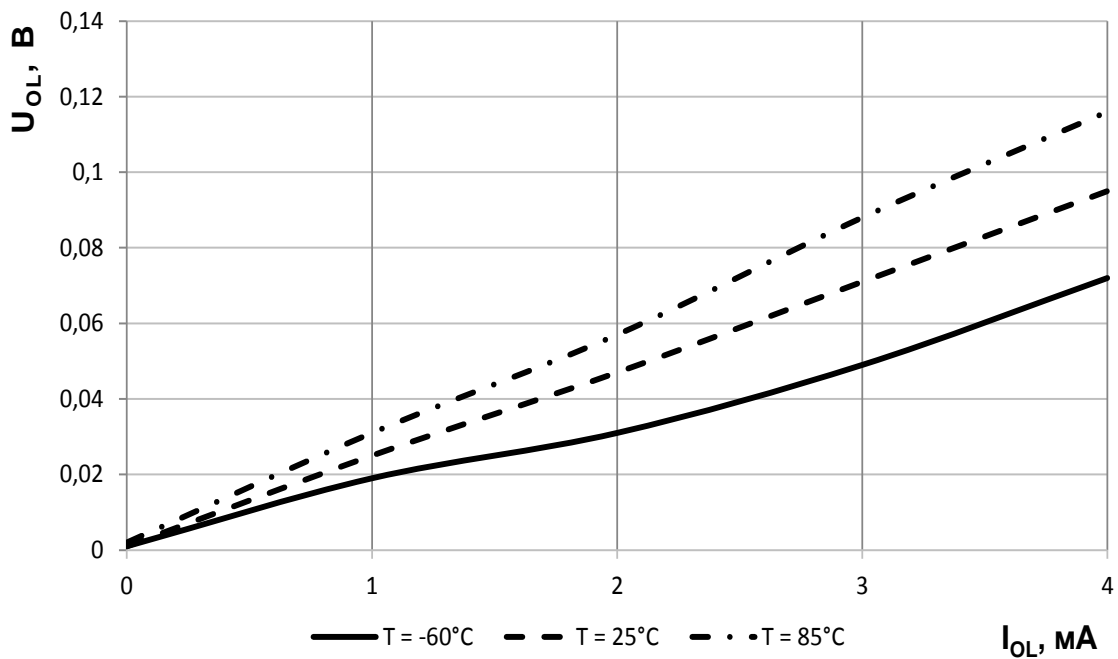


Рисунок 19 – Зависимость выходного напряжения низкого уровня от выходного тока низкого уровня

11 Габаритный чертеж микросхемы

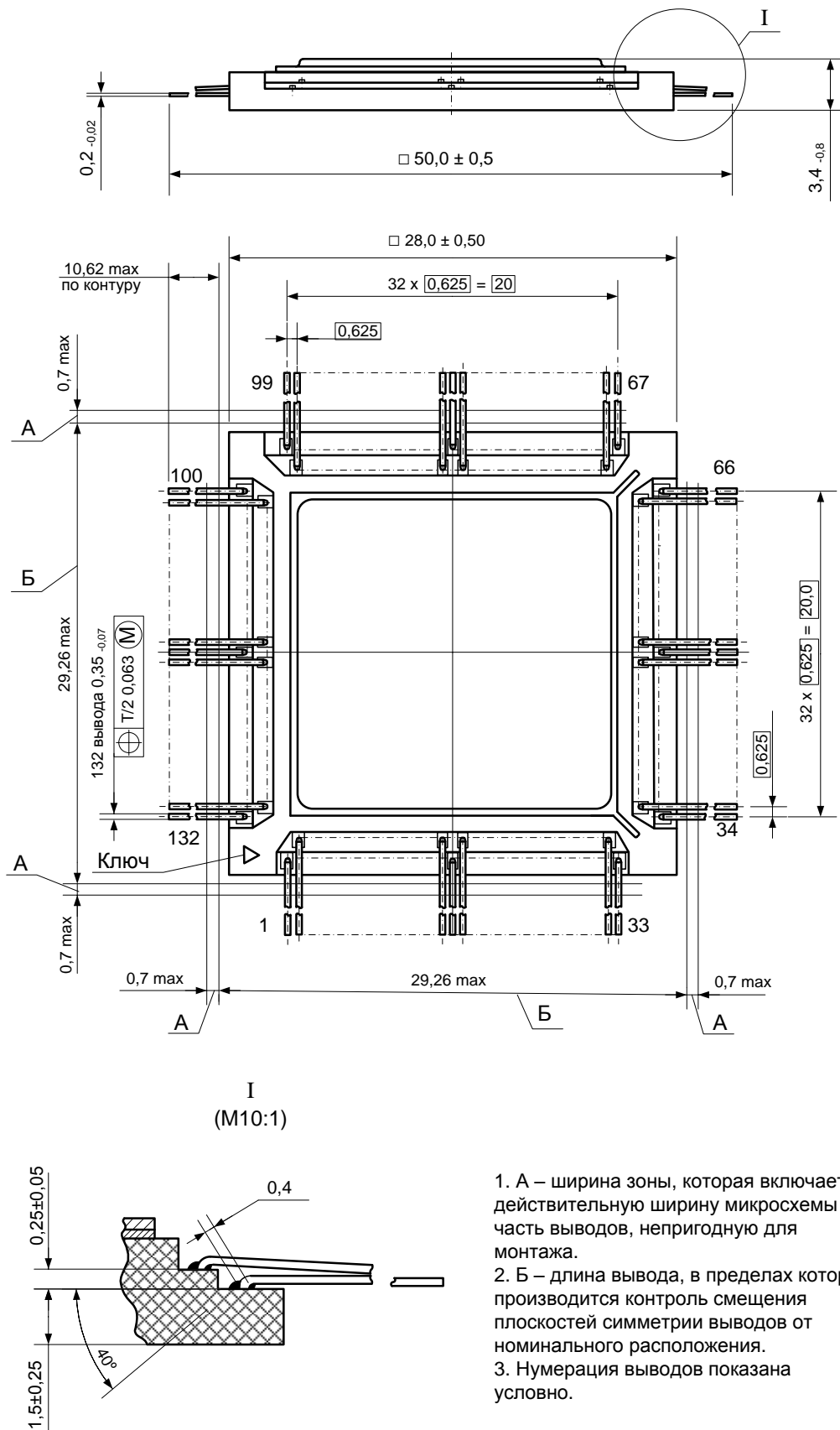
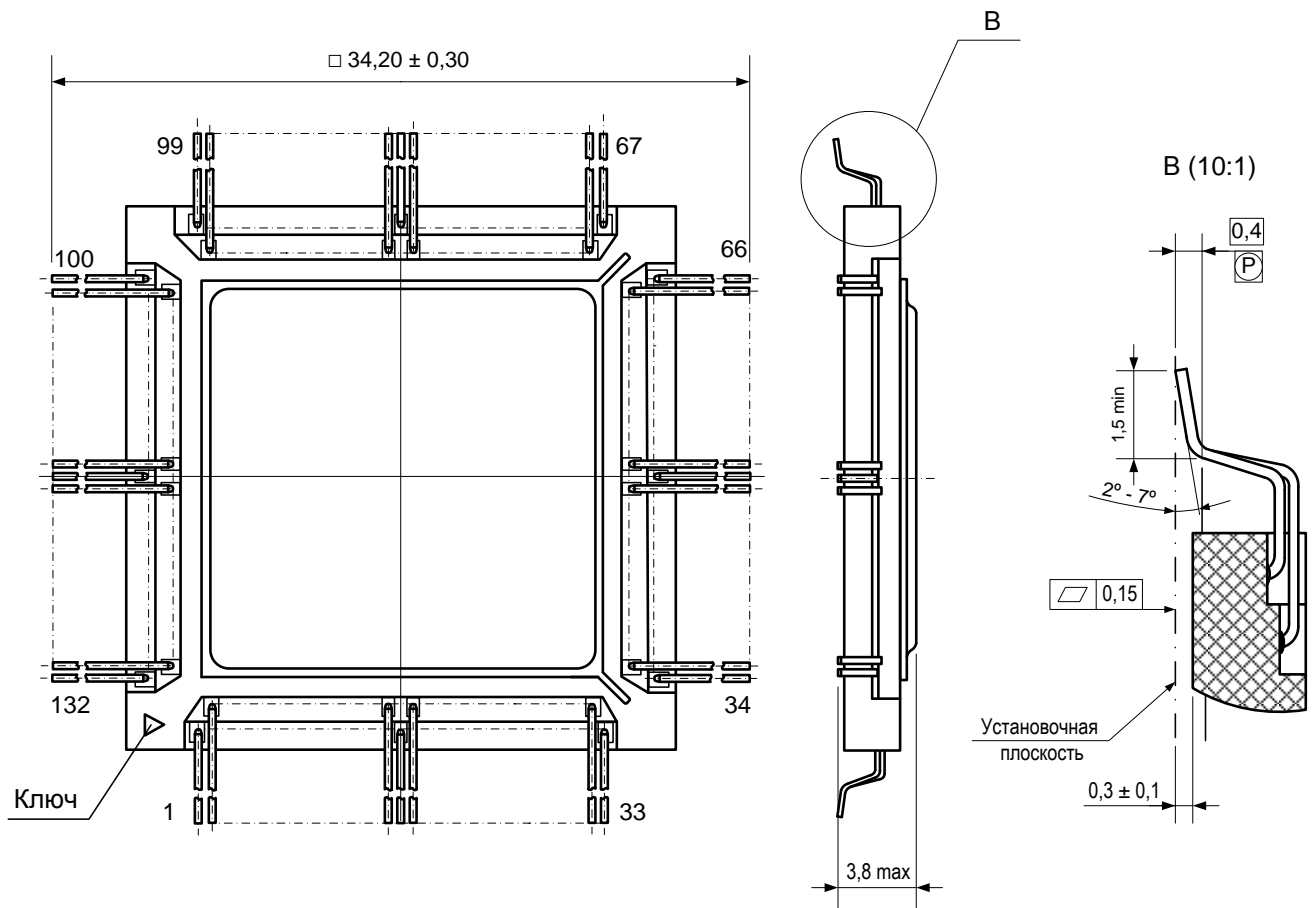


Рисунок 20 – Микросхема в корпусе 4229.132-3



Остальное см. рисунок 20

Рисунок 21 – Корпус 4229.132-3 с формованными выводами

## 12 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон
5600BB3T	5600BB3T	4229.132-3	минус 60 – 85 °С
K5600BB3T	K5600BB3T	4229.132-3	минус 60 – 85 °С
K5600BB3TK	K5600BB3T•	4229.132-3	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Примечание – Необходимость поставки микросхем с формованными выводами указывается в договоре на поставку.

**Лист регистрации изменений**

<b>№ п/п</b>	<b>Дата</b>	<b>Версия</b>	<b>Краткое содержание изменения</b>	<b>№№ изменяемых листов</b>
1	18.09.2013	1.0.0	Введена впервые	
2	31.10.2013	1.1.0	Исправлено УГО, таблица 1, таблица 2, структурная блок-схема	1, 2, 7, 8
3	14.04.2014	1.2.1	Исправлены таблица 1, таблица 33, таблица 34, рисунок 3. Добавлены таблица 18, типовые зависимости	2-6, 17, 20, 25-32
4	25.04.2014	1.3.0	Дополнены основные параметры микросхемы. Добавлены разделы «Описание работы микросхемы», «Режимы работы микросхемы», «Блоки контроллеров канального уровня», «Блоки контроллеров физического уровня», «Таблица хранения MAC адресов и ядро маршрутизатора», «Типовые схемы включения»	1, 7-22
5	29.04.2014	1.3.1	Добавлены перекрестные ссылки	17, 18
6	17.06.2014	2.0.0	Корректировка на соответствие ТУ и КД после присвоения литеры А	По тексту
7	05.08.2014	2.1.0	Исправлена маркировка микросхем	29
8	28.08.2014	2.1.1	Корректировка таблицы 1 по просьбе потребителя	2-6
9	15.01.2015	2.2.0	Внесено описание новых режимов работы, введенных в ревизии 2 микросхемы	По тексту
10	02.02.2015	2.3.0	Исправлены таблица 1, таблица 8, таблица 9. Добавлен пункт «HASH-функция и структура памяти адресов». Корректировка раздела «Синхронный последовательный интерфейс управления (СПИУ)». Исправлены типовые схемы включения	5, 23 15, 16  18-20  32-34
11	29.02.2016	2.4.0	Исправлен габаритный чертеж Внесены дополнения в таблицу выводов Исправлены типовые схемы включения Исправления в таблицах 8, 9, 10 Внесены дополнения конструктора	42 4, 5 32, 33, 34 23 По тексту
12	19.04.2019	2.5.0	Добавлены разделы «Указания по применению и эксплуатации» и «Условное графическое обозначение». Исправлена нумерация выводов на рисунках типовых схемах включения. Исправлены опечатки	4, 9  36-38  По тексту
13	24.04.2019	2.6.0	На рисунке 12 исправлены номиналы конденсаторов C2, C4	37
14	26.04.2019	2.7.0	На рисунке 13 исправлено подключение выводов RXER и COL для D1	38
15	06.09.2019	2.8.0	Добавлен габаритный чертеж корпуса с формованными выводами. Исправлены опечатки	47  По тексту



## Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
16	25.06.2020	2.9.0	Исправлено значение параметра $I_{OSS}$ . Уточнение в назначении выводов VDDA в таблице 1. Дополнение в разделе Указания по применению и эксплуатации. Добавлено состояние SDO при CS=1. Исправления в таблицах 45, 46 (столбец Наименование параметра). На типовых схемах включения исправлены номиналы R1, R2, R3, R4, R5, R29 – R32, R33 – R48 (рисунок 11) и R18 – R33, R37, R38, (рисунок 12)	1 5, 7 9  21 39, 41  35 – 36